

Universidad Carlos III de Madrid



Proyecto fin de carrera.

FILTRO MUESTREADO PARA SEÑALES CODIFICADAS **CON MODULACION PWM**

Autor: Sergio López Batres

Tutor: Luis Hernández Corporales

Titulación: Ingeniería Industrial



Agradecimientos

Este proyecto va para todos los que me han apoyado durante la carrera, especialmente para mis padres, por darme ánimos y apoyarme desde pequeño para que ahora haya alcanzado este logro, también se lo quiero dedicar especialmente a Ana Teresa, por haber aguantado mi estrés y mal humor durante estos dos años de superior, lo cual sin duda ha sido una tarea difícil y lo ha llevado genial dándome el cariño que necesitaba para no caer nunca. Este proyecto va para mis abuelos, sobre todo mi abuelo Pepe, que aunque no esté aquí sé que está inmensamente orgulloso de mí, para mi hermano, por quitar hierro al asunto de los exámenes y los suspensos (aunque él sabía que nunca suspendía) y por supuesto también va para Luis, mi tutor, ya que gracias a él este proyecto ha sido posible, gracias a él he estado casi dos años trabajando y aprendiendo cosas increíbles que sin duda me han hecho crecer como persona y como ingeniero, esto también va para mis compañeros de beca, con los cuales he compartido muchísimas horas a lo largo de estos dos años, los cuales han hecho que este periodo de mis estudios haya sido mucho más llevadero. Por último, cómo no se lo dedico a mis compañeros y por supuesto amigos de la superior, Sergio y Amadeo, por conseguir que aunque estos tiempos hayan sido duros, al menos se hayan llevado con una sonrisa, cuando acabé la técnica dije que nos veríamos en la superior, ahora les digo: “¡Nos vemos en el curro!” ¡GRACIAS A TODOS!



Descripción del proyecto:

El proyecto implementará un circuito electrónico cuya entrada y salida sean dos señales PWM, implementando una función de filtrado paso bajo sobre la señal codificada a la entrada mediante componentes analógicos y digitales así como mediante software por computador. El circuito se planteará y simulará teóricamente y después se implementará un circuito de demostración con componentes discretos.



Índice de contenido

1

<u>1.- Introducción:</u>	11
1.1.- Antecedentes para la realización del proyecto.....	11
1.2.- El por qué del uso de señales sigma-delta y de los filtros codificados en tiempo (TEF).....	11
1.2.1.- Noise shaped PWM-DAC.....	12
1.2.2.- Filtro paso bajo PWM con codificación en el tiempo.....	14

2

<u>2.- Aplicación práctica</u>	19
--------------------------------------	----

3

<u>3.- Diseño del sistema</u>	23
3.1.- La célula básica del circuito, la célula de retraso.....	27
3.2.- Ejemplo de implementación de la célula en un filtro de 1 ^{er} orden completo.....	32

4

<u>4.- Diseño de un demostrador de filtro de 1^{er} orden</u>	39
4.1.- Demostrador 1: Filtrado de señales moduladas Sigma-Delta de 1 sólo bit.....	39
4.2.- Demostrador 2: Filtro para señales creadas por un DAC.....	45

5

<u>5.- Diseño hardware del sistema</u>	57
5.1.- Diseño hardware del demostrador 1.....	57
5.1.1.- Circuito eléctrico completo para la placa del demostrador 1.....	57
5.1.2.- Cálculos necesarios para la construcción del circuito.....	63
5.1.3.- Selección de componentes.....	65
5.1.4.- Simulaciones del circuito eléctrico.....	69
5.1.5.- Diseño PCB del circuito eléctrico.....	75
5.2.- Diseño hardware de demostrador 2.....	80
5.2.1.- Circuito eléctrico completo para la placa del demostrador 2.....	80

5.2.2.- Cálculos teóricos necesarios para la construcción del segundo demostrador.....	86
5.2.3.- Selección de componentes.....	87
5.2.4.- Simulaciones del circuito eléctrico (Demostrador 2).....	90
5.2.5.- Diseño PCB del circuito eléctrico (Demostrador 2).....	92

6

<u>6.- Medidas y pruebas</u>	99
6.1: Medidas para el demostrador 1.....	100
6.2: Medidas para el demostrador 2.....	114

7

<u>7.- Conclusiones</u>	125
-------------------------------	-----

8

<u>8.- Referencias</u>	129
------------------------------	-----

9

<u>9.-Presupuesto</u>	133
-----------------------------	-----

10

<u>10.- Anexos</u>	139
10.1.- Script de simulación de la primera placa de circuito.....	139
10.2.- Script para la simulación de la segunda placa.....	141
10.3.- Script para generar una señal Sigma-Delta de 1 bit (Orden 1).....	143
10.4.- Script para generar una señal Sigma-Delta de 1 bit (Orden 2).....	144
10.5.- Script para generar el seno para el segundo demostrador.....	145
10.6.- Script para la generación de dos senos para el segundo demostrador.....	146



Índice de figuras

Figura 1.1: DAC Sigma-Delta y modulador digital DPWM excitando una carga de potencia.....	11
Figura 1.2: Espectro de la señal simulada del sistema de la figura 1.1.....	12
Figura 1.3: Sistema con DAC Sigma-Delta y codificador DPWM con filtro TEF.....	14
Figura 1.4: Espectro simulado utilizando el sistema de la figura 1.3.....	15
Figura 1.5: Comparación en el tiempo de las señales filtradas para los sistemas de las figuras 1.1 y 1.3.....	15
Figura 2.1: Amplificador clase D excitado por un DAC.....	19
Figura 2.2: Modulador Sigma-Delta de un bit excitando una carga de potencia.....	20
Figura 2.3: DAC y modulador DWPM con el filtro de codificación paso bajo.....	20
Figura 3.1: Codificador de señales en PWM.....	23
Figura 3.2: Funcionamiento del modulador PWM.....	24
Figura 3.3: Ejemplos de filtrado para señales moduladas en amplitud y su equivalente en modulación temporal.....	25
Figura 3.4: Funcionamiento como integrador de filtros en amplitud y tiempo.....	26
Figura 3.5: Diagrama de bloques de un filtro paso bajo discreto de primer orden.....	26
Figura 3.6: Respuesta en frecuencia de un filtro paso bajo de primer orden.....	27
Figura 3.7: Ejemplo de funcionamiento de la célula de retraso.....	28
Figura 3.8: Diagrama de bloques de la célula de retraso.....	28
Figura 3.9: Cronograma de funcionamiento de la célula de retraso.....	29
Figura 3.10: Sistema de un filtro de 1 ^{er} orden simplificado.....	32
Figura 3.11: Situación de los polos dentro del círculo unidad.....	34
Figura 3.12: Funcionamiento del circuito como integrador ($g=1$, $p=0.8$).....	35
Figura 4.1: Diagrama de bloques del filtro para el demostrador 1.....	39
Figura 4.2: Sistema de pruebas para el demostrador 1.....	40
Figura 4.3: Modelo de pruebas Simulink para el demostrador 1.....	42
Figura 4.4: Modulador Sigma-Delta.....	42
Figura 4.5: Modelo de la célula de retardo en Simulink.....	43
Figura 4.6: Modelo del circuito RC en la célula de retraso.....	43
Figura 4.7: Simulación de la función de transferencia del sistema.....	44
Figura 4.8: Espectro de la señal Sigma-Delta.....	44
Figura 4.9: Funcionamiento del filtro sobre la salida.....	45
Figura 4.10: Filtro TEF para el segundo demostrador.....	46
Figura 4.11: Sistema de pruebas para el demostrador 2.....	47
Figura 4.12: Modelo de pruebas Simulink para el demostrador 2.....	48
Figura 4.13: Modelo del filtro y célula de retardo en Simulink para el D2.....	49
Figura 4.14: Integrador simplificado en el demostrador 2.....	50
Figura 4.15: Señal a la salida del sistema con el filtro apagado.....	50
Figura 4.16: Salida del sistema con el filtro activado.....	51
Figura 4.17: SNR del filtro para diferente número de bits, en función del parámetro p.	51
Figura 4.18: Evolución del SNR del filtro respecto al parámetro p, para DACs de distinto	52
Figura 5.1: Diagrama de bloques para el demostrador 1.....	57



Figura 5.2: Circuito eléctrico de la placa de circuito para demostrador 1	58
Figura 5.3: Divisor de frecuencia.....	59
Figura 5.4: Circuito generador de la señal de reloj.....	60
Figura 5.5: Bloque para el generador de fases.....	61
Figura 5.6: Bloque del filtro paso bajo / célula de retraso.....	62
Figura 5.7: Bloques de salida del circuito.....	63
Figura 5.8: Generación de las fases mediante el registro de desplazamiento.....	64
Figura 5.9: Conector SMA recto.....	66
Figura 5.10: Circuito preescalador MC12026A.....	66
Figura 5.11: Registro de desplazamiento de 8 bits 74ACT164.....	66
Figura 5.12: Circuitos 74ACT32, 74ACT08 y 74ACT04.....	67
Figura 5.13: Comparador AD8612.....	68
Figura 5.14; Biestable tipo D en configuración de funcionamiento como biestable RS.....	68
Figura 5.15: Circuito integrado 74ACT74.....	68
Figura 5.16: Transistores/Interruptores BSS83.....	69
Figura 5.17: Esquemático ideal para primera simulación.....	70
Figura 5.18: Simulación del esquema usando componentes ideales	71
Figura 5.19: Circuito de simulación con generador de fases real.....	72
Figura 5.20: Funcionamiento del filtro con generador de fases real.....	73
Figura 5.21: Simulación del circuito con los transistores BSS83 funcionando como interruptores.....	74
Figura 5.22: Layout de la placa de circuito para el demostrador 1.....	75
Figura 5.23: Placa de circuito para el primer demostrador con montaje completo.....	79
Figura 5.24: Placa conectada al generador de patrones y lista para la realización de pruebas.....	80
Figura 5.25: Diagrama de bloques para el demostrador 2.....	81
Figura 5.26: Circuito eléctrico para la placa del demostrador 2.....	82
Figura 5.27: Bloque del generador de fases actualizado.....	83
Figura 5.28: Interfaz de comunicación entre generador de patrones y DAC.....	83
Figura 5.29: Conversor digital analógico y adaptador corriente tensión.....	84
Figura 5.30: Circuito eléctrico del filtro/célula de retraso.....	85
Figura 5.31: Circuito de ataque y caída.....	85
Figura 5.32: Multiplicador de salida para crear AM.....	86
Figura 5.33: Generación de las fases para el segundo demostrador.....	87
Figura 5.34: Integrado de 8 resistencias de 33Ω	88
Figura 5.35: Comparador AD8611 de alta velocidad.....	88
Figura 5.36: Integrado del amplificador de radiofrecuencia	89
Figura 5.37: Conversor digital analógico AD9752.....	89
Figura 5.38: Amplificador operacional AD9631.....	90
Figura 5.39: Esquemático de simulación para la nueva arquitectura del filtro.....	90
Figura 5.40: Simulación del circuito de la figura 4.38.....	91
Figura 5.41: Layout de la placa de circuito para el demostrador 2.....	92
Figura 5.42: Placa de circuito para el segundo demostrador con montaje completo.....	95
Figura 5.43: Placa conectada al generador de patrones y lista para la realización de pruebas.....	95
Figura 6.1: Generador de patrones GP-24100.....	100



Figura 6.2: Fotografía en directo del circuito funcionando como célula de retraso....112

Figura 6.3: Fotografía en directo del circuito funcionando como filtro paso bajo.....112





1.- Introducción.





1.- Introducción:

1.1.- Antecedentes para la realización del proyecto:

La escena de la conversión de datos ha cambiado drásticamente en estos últimos años. Mientras que las arquitecturas clásicas como el pipeline, SAR y los conversores sigma delta de interruptores capacitivos han ganado su propia posición en las tecnologías CMOS por debajo del micrómetro, la nueva escala nanométrica en las tecnologías requiere un marco de trabajo completamente nuevo. Esto es debido principalmente a la imposibilidad de adecuación de la tecnología de transistores MOS en los circuitos analógicos clásicos.

Por otro lado, los pilares de la electrónica analógica de alto rendimiento requerida por la industria de los dispositivos multimedia y las comunicaciones han sido comúnmente los amplificadores, los DACs y los relojes de baja fluctuación. Los amplificadores logran linealidad a través de la realimentación y la alta ganancia mientras que los DACs logran la linealidad a través de su layout y técnicas de mejora digitales.

Estos hechos han orientado la investigación hacia las arquitecturas de conversión de datos, donde el número de transistores en la región activa es minimizado. Para lograr esta meta, están prosperando diferentes topologías donde la señal es codificada tanto en dominio del tiempo como en dominio de la amplitud. La ventaja de estos sistemas reside en el uso de señales binarias codificadas en el tiempo que no requieren dispositivos electrónicos de alto rendimiento. Las neuronas son un ejemplo de sistemas biológicos que usan un tipo de codificación similar.

1.2.- El por qué del uso de señales sigma-delta y de los filtros codificados en tiempo (TEF).

El proyecto implementará una solución en la cual se realiza un filtrado paso bajo directamente sobre los pulsos de la señal sigma-delta en el primer prototipo, y un filtrado sobre una señal proporcionada mediante un conversor digital analógico en el segundo, proporcionando así un suavizado en el dominio del tiempo de las transiciones de los anchos de pulso, atenuando así el ruido de cuantificación presente en la señal. Hacer esto mediante un TEF desemboca en una simplificación considerable de un filtro paso bajo requerido en las etapas de salida.

Esta solución mantiene la simplicidad y linealidad de un conversor analógico digital Sigma-Delta de un único bit y permite la implementación de un sistema completo con tecnología de bajo voltaje, facilitando la implementación de toda la solución en un sistema “on chip”, pudiendo así integrar una alta densidad de hardware

digital junto con etapas de amplificación de potencia, como posible aplicación práctica del proyecto, sin recurrir a complejos circuitos fuera del chip que complicarían las restricciones electromagnéticas y niveles de señal fuera de banda.

1.2.1.- Noise shaped PWM-DAC.

La figura 1.1 muestra un diagrama de bloques de un amplificador de potencia que usa un conversor analógica digital (DAC) Sigma-Delta multibit de sobremuestreo y un modulador digital de ancho de pulso (DPWM) para generar la señal PWM que tendrá que ser filtrada.

Esta arquitectura requiere un interpolador de factor de sobremuestreo, OSR, un modulador Sigma-Delta y el DPWM mencionado anteriormente, todos ellos implementados digitalmente. La señal del reloj del modulador Sigma-Delta ha de tener una frecuencia $OSR \times f_s$, donde f_s es la frecuencia de muestreo de Nyquist.

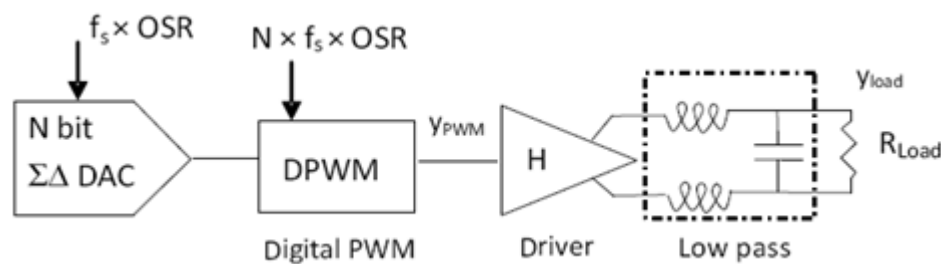


Figura 1.1: DAC Sigma-Delta y modulador digital DPWM excitando una carga de potencia.

El bloque del DPWM hace la función que haría un conversor analógico digital multinivel pero codificando en amplitud en lugar de en el tiempo, muestreando amplitudes de forma discreta en las áreas de los pulsos de una señal binaria, haciéndola de esta forma muy útil para controlar etapas de potencia. Normalmente, el DPWM se implementa con un contador y un comparador. Si se usan N bits (2^n niveles) en el cuantificador del modulador Sigma-Delta, el contador del DPWM necesitará una frecuencia en su reloj de $f_{clk} = 2^n \times OSR \times f_s$. Para disminuir el número de componentes fuera del amplificador, el orden del filtro debe de ser el más pequeño posible, lo cual exige una potencia del ruido de cuantificación lo mínima posible, necesitando para ello un elevado número de bits. Esto muchas veces obliga a que el reloj de modulador digital para señales PWM esté en la horquilla de los GHz, haciendo más compleja la implementación.

En la figura 1.2 se puede ver la simulación del espectro de la señal y_{PWM} (observar la figura 1.1 para dónde se encuentra), usando una codificación con un

modulador estándar Sigma-Delta de 2º orden con 3 bits, lo cual correspondería a 8 niveles (2^n) en el cuantificador del DPWM.

Tomando un ancho de banda de la señal de 2 MHz aproximadamente, y un OSR de 16, el modulador Sigma-Delta del conversor analógico digital tendrá una relación señal a ruido SNR de 60dB usando un filtro paso bajo ideal, el tren de pulsos generado por el DPWM será de aproximadamente unos 64MHz, necesitando entonces un reloj de 512MHz. Para recrear la señal, se utiliza un filtro LC analógico con un ancho de banda de 2MHz tal y como se puede ver en la figura 1.1, pudiendo ver el espectro de la carga en la figura 1.2.

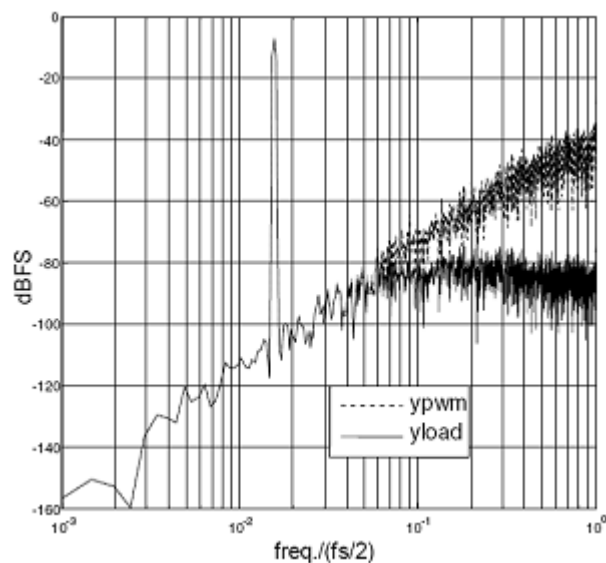


Figura 1.2: Espectro de la señal simulada del sistema de la figura 1.1.

La potencia que se tendrá en cuenta para analizar el ruido será la que se produce en la carga, para evaluar la relación señal a ruido SNR se necesita considerar todo el ancho de banda de la señal, hasta la frecuencia $OSR \cdot (fs/2)$. En la simulación que se muestra en la figura 1.2, la SNR que se puede observar sería únicamente de 44dB, menor que la máxima alcanzable en condiciones ideales que como dijimos antes sería de 60dB usando un filtro paso bajo ideal. Esto muestra el esclarecedor hecho de que incluso teniendo un gran sistema con un modulador Sigma-Delta multibit y un DPWM, sería necesario un filtro externo analógico de alto orden para conseguir resultados interesantes, por ello se estudian otros tipos de circuitos que sustituyan al DPWM mejorando su funcionamiento, como por ejemplo los conversores digitales de tiempo, los cuales implementan líneas de retardo con células digitales de retardo, aunque el desajuste entre células hace que el sistema sea no lineal, haciendo que su funcionamiento y control sea mucho más complicado.

1.2.2.- Filtro paso bajo PWM con codificación en el tiempo.

En este apartado nos introduciremos en el sistema en el que se basa el proyecto, un modo alternativo para reducir el ruido de cuantificación que hemos visto en las simulaciones anteriores, insertando un filtro paso bajo que actúa directamente sobre los pulsos de las señales codificadas en ancho de pulso.

Arquitectura presentada:

El filtro de codificación en tiempo se usa directamente para filtrar los pulsos del DPWM. Si se acomoda como se debe el ancho de banda del filtro, se puede conseguir una reducción de la potencia del ruido de cuantificación generado por el modulador Sigma-Delta antes de aplicar la señal a circuitos posteriores.

En la figura 1.3 se puede ver dónde iría el filtro TEF en el diagrama de bloques anterior.

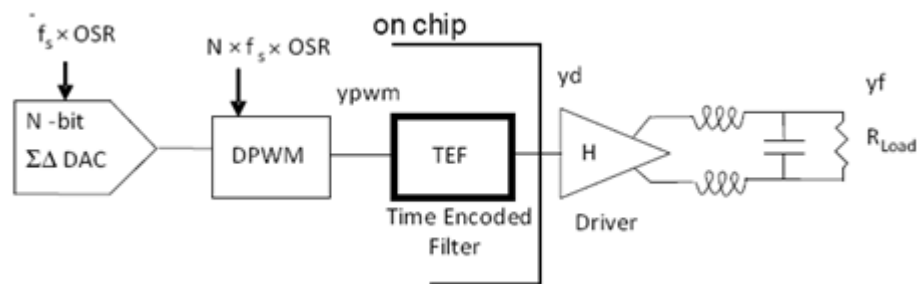


Figura 1.3: Sistema con DAC Sigma-Delta y codificador DPWM con filtro TEF integrado.

Como se puede observar en el diagrama se ha insertado el filtro de codificación en el tiempo, haciendo que se pueda reducir el orden y la complejidad del filtro analógico que se tendría que usar fuera del chip para reducir la SNR. El hecho de que se pueda realizar esta reducción es que una parte del filtrado del ruido se realiza dentro del propio chip sobre el tren de pulsos. Otra posible estrategia para mejorar el sistema es reducir el número de niveles del modulador Sigma-Delta, bajando así la frecuencia de muestre necesaria para el DPWM y teniendo así un menor ruido de cuantificación (aunque se perdería cierta calidad).

La posible mejora que puede incluir este filtro se puede ver en la simulación de la figura 1.4, para la cual se ha simulado totalmente el sistema de la figura 1.3 anterior en las mismas condiciones en las que se simuló el anterior sistema de la figura 1.1. El filtro de codificación en el tiempo se ha simulado como un bloque de tiempo continuo.

Como se puede observar, la figura 1.4 muestra el espectro tanto de la señal de salida y_d como y_f usando el mismo filtro paso de 2º orden utilizado en la anterior simulación. Como se puede observar el SNR ahora es de 56dB, sólo 4dB por debajo del SNR ideal que habíamos expuesto anteriormente, como se puede ver la mejora es sustancial.

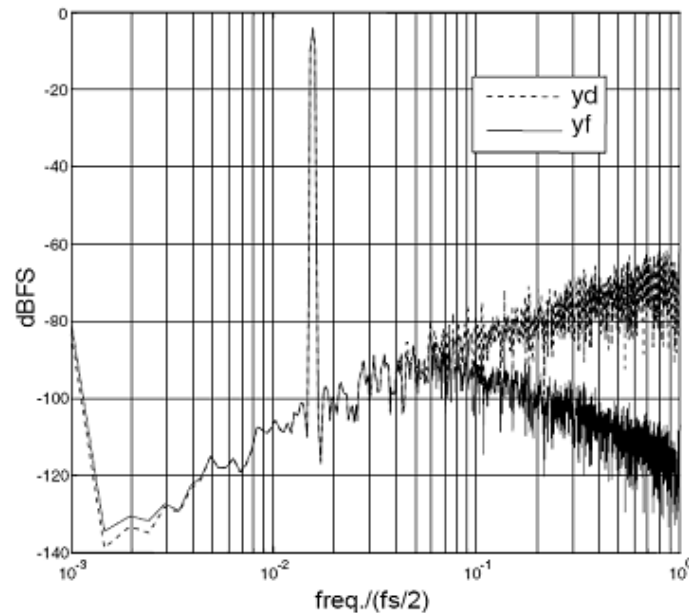


Figura 1.4: Espectro simulado utilizando el sistema de la figura 1.3.

La siguiente figura 1.5, muestra una comparación en el tiempo de las señales de salida del DPWM (y_{PWM}) y la señal de salida del filtro codificado en el tiempo TEF (y_d). Las señales que se pueden ver en esta figura exponen como actúa el filtro de codificación en el tiempo sobre la señal de pulsos proporcionada por el DPWM.

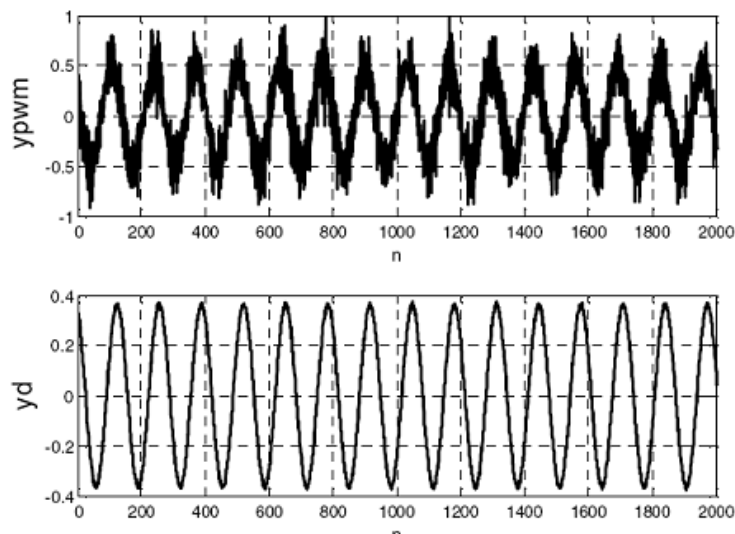


Figura 1.5: Comparación en el tiempo de las señales filtradas para los sistemas de las figuras 1.1 y 1.3



En definitiva, lo que muestra este proyecto es un circuito que lo que hace es simplificar los filtros paso bajo analógicos que habría que implementar detrás de sistemas de potencia tales como amplificadores clase D u otros tipos de circuitos controlados por moduladores Sigma-Delta.



2.- Aplicación práctica.



2.- Aplicación práctica.

Amplificadores de potencia:

Este trabajo muestra una nueva aproximación para la reducción de la energía que se proporciona fuera de la banda de interés en los amplificadores de clase D controlados por un convertor digital analógico (DAC). La arquitectura que se ha propuesto basada en filtros de codificación en tiempo (Time Encoded Filter – TEF) proporciona una mejora de este ruido. Estos filtros de codificación en tiempo funcionan como un sistema lineal de tiempo discreto en el ancho de pulso de la señal PWM en lugar de amplitudes en la secuencia como se ha explicado anteriormente, requiriendo únicamente circuitos RC, comparadores y cierta lógica digital, pudiéndose integrar incluso con el propio convertor digital analógico como se ha visto en el segundo demostrador.

Una de las aplicaciones más importantes en las que se podría usar este circuito sería en los amplificadores de clase D los cuales han mejorado la potencia de audio y xDSL en los últimos años. Además, en la mayoría de estas aplicaciones la señal analógica proviene de una fuente digital muestreada, que es convertida en la señal analógica final por medio de un convertor digital analógico seguido de un modulador de ancho de pulso, como se puede observar en la figura 2.1.

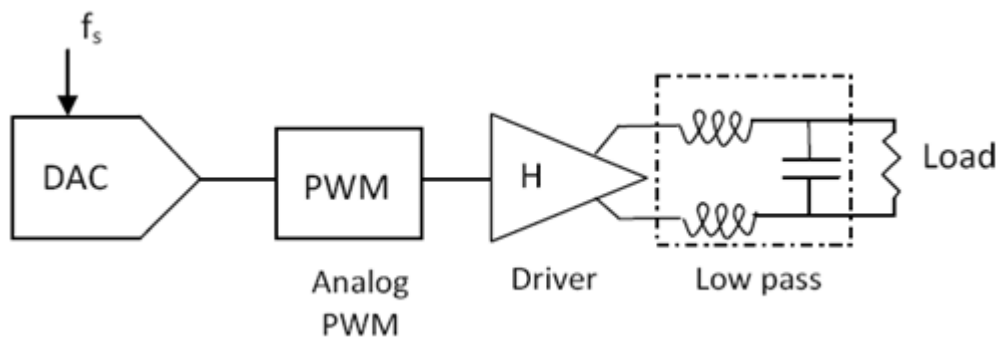


Figura 2.1: Amplificador clase D excitado por un DAC.

El principal problema de este sistema es la necesidad de integrar un DAC multibit con una linealidad muy elevada unido todo ello a una etapa de potencia de excitación. La figura 2.2 muestra una configuración alternativa, donde con un modulador sigma-Delta de un único bit como el usado en el primer demostrador excita directamente la etapa de potencia.

Sin embargo esto también produce problemas, puesto que se necesita un elevado sobremuestreo en el DAC para la creación de la señal Sigma-Delta de un bit, lo cual genera una cantidad de ruido de cuantificación fuera de la banda de interés muy elevado, forzando así el uso de un filtro de salida formado por una elevada cantidad de

bobinas y condensadores discretos, haciendo que esta solución tampoco sea atractiva de implantar.

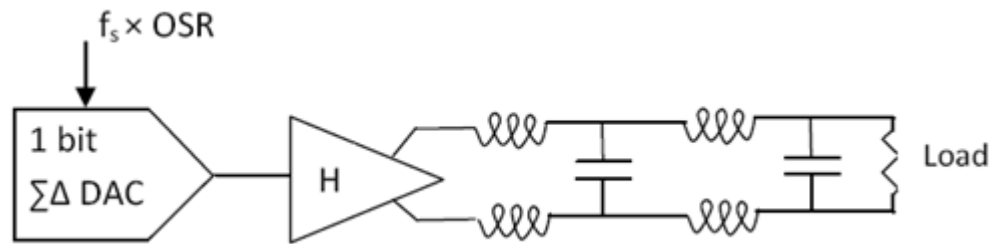


Figura 2.2: Modulador Sigma-Delta de un bit excitando una carga de potencia.

Es aquí donde entra en juego el filtro creado en este proyecto, ya que éste es capaz de realizar filtrados directamente sobre las señales PWM proporcionadas por el modulador Sigma-Delta (Figura 2.3) e incluso directamente sobre señales proporcionadas directamente por conversores digital analógicos, atenuando de esta forma las transiciones en los anchos de pulso y disminuyendo así el ruido de cuantificación presente en las señales de un bit o la distorsión introducida por el DAC.

De esta forma el filtro paso bajo requerido a la salida del sistema sería mucho más pequeño que el necesario para las dos soluciones anteriores, consiguiendo así una solución que mantiene la simplicidad y la linealidad de un DAC Sigma-Delta de un bit y permite la implementación del sistema completo en un único chip, es aquí donde reside la verdadera potencia del circuito creado para el proyecto.

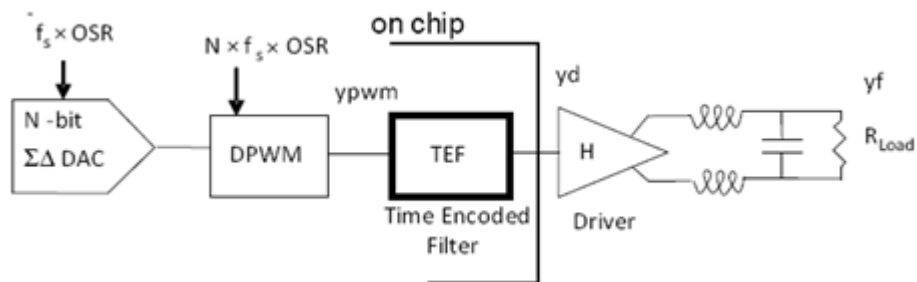


Figura 2.3: DAC y modulador DWPM con el filtro de codificación paso bajo.



3.- Diseño del sistema.



3.- Diseño del sistema:

En este apartado se intentará introducir el principio de funcionamiento del sistema, de tal forma que se consiga explicar de una forma sencilla de qué manera el circuito es capaz de filtra señales codificadas en tiempo. Para ello se explicará qué tipo de señales van a ser procesadas.

Como se ha dicho en el principio, las señales que van a procesar serán PWM, las cuales se pueden conseguir de una forma bastante sencilla sin la adición de una circuitería compleja, el uso de señales PWM en lugar de otros tipos de modulación es simplemente por el hecho de que este tipo de señales consiguen modular señales con amplitud variable en señales codificadas en tiempo, que es justo lo que se quiere y de lo que trata este proyecto. Para conseguir esta modulación lo primero que se necesita es un circuito que tome una cantidad de muestras suficientes de la señal original que se quiere filtrar (circuito Sample & Holder), para luego poder reconstruirla de una manera fiel tras el filtrado. Según el teorema De Nyquist para el muestreo de señales, la frecuencia más baja para a la que se deben tomar muestras para recuperar la señal sin errores ha de ser como mínimo el doble de la señal que se va a muestrear, es decir $f_m = 2 \cdot f_s$, si las señales son muestreadas a menor frecuencia, no se puede asegurar que la señal demodulada se corresponda con la señal que se codificó en un primer momento. Una vez muestreada la señal continua en la entrada del modulador, lo siguiente que se ha de hacer es la codificación temporal, para ello se necesitaría en un circuito sencillo, un comparador y una señal de diente de sierra o triangular, con la que se podría obtener una señal a la salida con pulsos de distinto ancho, es decir señales moduladas en tiempo, tras unir todo lo explicado, el sistema modulador quedaría similar al siguiente:

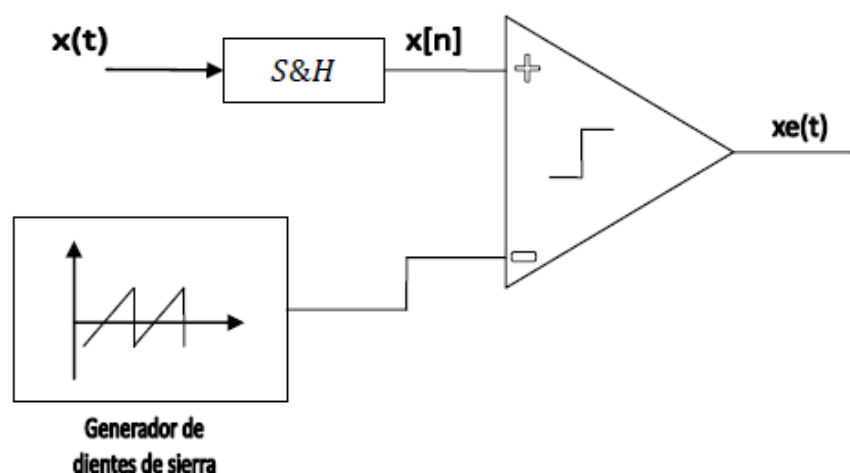


Figura 3.1: Codificador de señales en PWM

Siendo $x(t)$ la señal continua de entrada al circuito, $x[n]$ la señal que se ha muestreado mediante el circuito Sample & Holder y por último $x_e(t)$ la señal de salida codificada en ancho de pulso, y por lo tanto en el tiempo PWM.

La forma de actuar del circuito es simple ya que el ancho de pulso de la señal PWM de salida dependerá directamente de la amplitud de la señal continua, de tal forma que si ésta es muy elevada, el ancho de pulso a la salida tendrá una duración elevada en el ciclo de trabajo, mientras que si por el contrario la muestra de la amplitud tomada es pequeña, el pulso será bastante fino. De una forma más específica podríamos decir que el ancho del pulso en la salida depende de forma directa de cuánto tiempo es superior el valor de la tensión en la conexión positiva del comparador hasta el momento en el que le alcance el valor de la señal en la conexión negativa. De tal forma que mientras V_+ sea mayor que V_- , la tensión a la salida del comparador estará a nivel alto, en el momento en el que se cambien las tornas (es decir el momento en el que $V_- > V_+$), la tensión a la salida pasará a estar a nivel bajo. Un ejemplo de esto se puede ver en la figura 3.2.

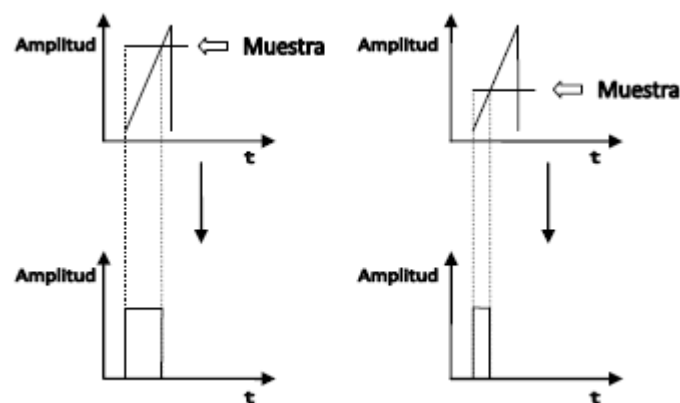


Figura 3.2: Funcionamiento del modulador PWM.

En esta figura se puede ver perfectamente lo explicado, en la muestra de tensión tomada en la izquierda, se puede ver como la amplitud de la señal es más elevada, por lo tanto el tiempo en el cual el comparador está a nivel alto es elevado, puesto que la señal en diente de sierra tarda más en alcanzar el nivel tomado de la muestra, en cambio, para la muestra de la derecha pasa lo contrario, al ser una muestra de amplitud baja, el diente de sierra tarda un tiempo mínimo en alcanzarlo, de ahí que el pulso a la salida sea mucho más estrecho. Como se puede ver, con un sencillo circuito se ha conseguido que una señal codificada en amplitud como la proporcionada por el S&H sea transformada en una señal codificada en el tiempo como es la salida PWM, la cual será la entrada al filtro propuesto.

El propósito del proyecto será reproducir el efecto que tendría en un tiempo discreto el filtrado de una señal codificada en el tiempo, en la figura 3.3 inferior, se

puede observar este efecto de filtrado temporal, además, para que su comprensión resulte más sencilla, se ha realizado un ejemplo de filtrado equivalente pero en este caso con señales codificadas en amplitud, que sería la figura 3.3 superior.

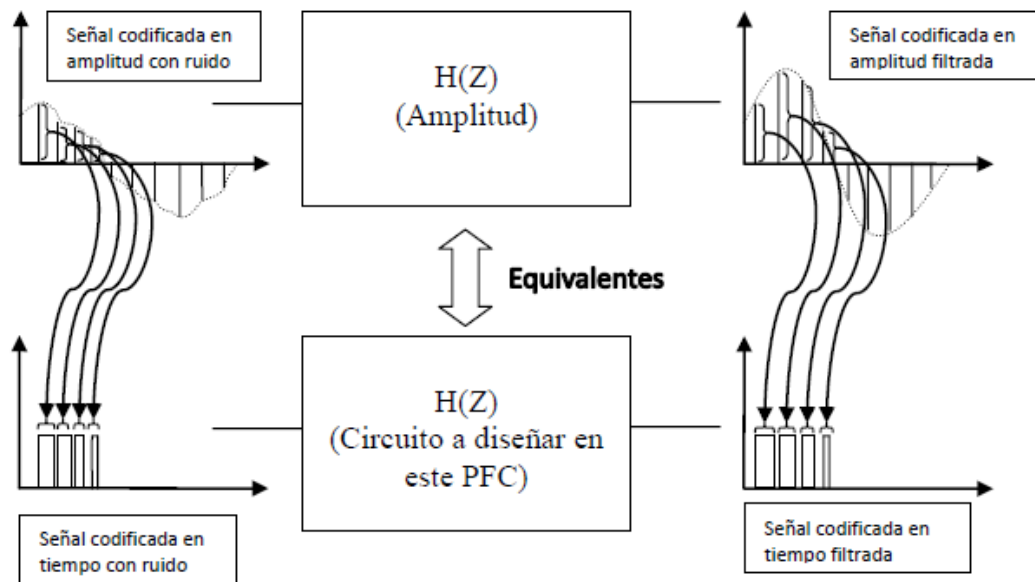


Figura 3.3: Ejemplos de filtrado para señales moduladas en amplitud y su equivalente en modulación temporal.

Una de las formas más sencillas de demostrar el funcionamiento del filtro codificado en tiempo (TEF) sería probar su funcionamiento como integrador, para ello bastaría con introducir al circuito un tren de pulsos de ancho constante obteniendo a la salida del filtro una señal cuadrada cuyo ancho de pulso crece exponencialmente hasta que satura. Esto es equivalente a introducir en un filtro continuo de primer orden una entrada escalón, ya que lo que se obtendría a la salida sería una señal que crece exponencialmente en amplitud asintóticamente hasta la tensión máxima del escalón introducido. El motivo de la equivalencia es bastante sencillo, si se analiza detenidamente, si se codifica una señal continua (escalón) en una señal PWM, lo que obtendríamos sería un tren de ancho de pulso constante, lo cual resulta bastante obvio puesto que la amplitud de una señal escalón es invariable en régimen permanente y por lo tanto las muestras tomadas de ella siempre tendrán la misma amplitud, esto hará que al modularlas con la señal en diente de sierra el ancho de pulso a la salida sea constante.

Por lo tanto esta es una forma de comprobar el funcionamiento del sistema sin tener que introducir señales moduladas a la entrada del circuito, ya que la respuesta del sistema es conocida de antemano, y simplificando las pruebas a realizar. El funcionamiento como integrador puede observarse en la figura 3.4, en la zona izquierda de la figura puede observarse el funcionamiento de un filtro continuo

integrando, mientras que en la zona derecha puede verse la integración en un filtro codificado en tiempo, con señales PWM. En las dos salidas pueden observarse crecimientos exponenciales de las salidas.

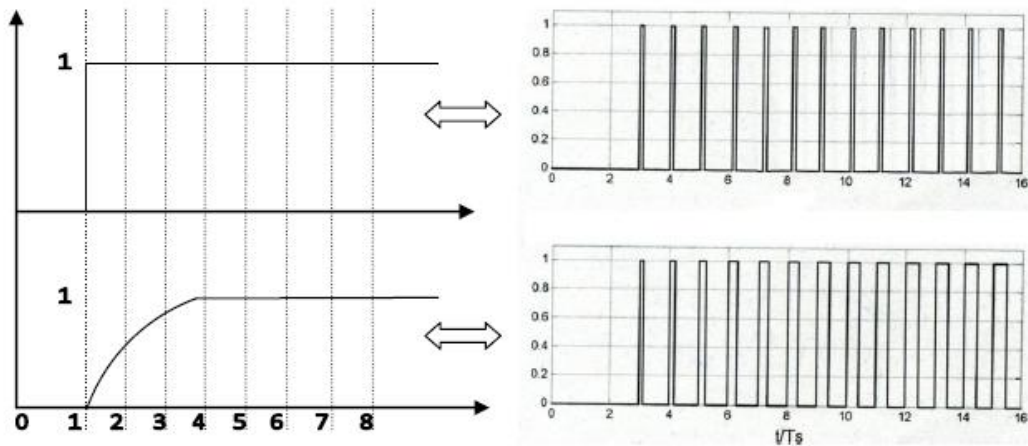


Figura 3.4: Funcionamiento como integrador de filtros en amplitud y tiempo.

Una vez explicadas el tipo de modulaciones y de señales que se introducirán al filtro y su funcionamiento a grandes rasgos, el siguiente paso será explicar cómo está diseñado a nivel de bloques el circuito del filtro. El filtro definitivo será de primer orden, puesto que a la hora de construir un prototipo para comprobar el funcionamiento lo principal es que éste sea lo más simple posible, ya que así la forma de entender el funcionamiento del mismo será más intuitivo. Como se puede observar en la figura 3.5, un filtro paso bajo discreto de primer orden principalmente consta de 3 bloques: un sumador, una célula de retraso y por último un bloque proporcional que con un coeficiente alfa es capaz de introducir cierta ganancia al sistema. Si estos bloques se unen tal y como se muestra en la figura, se tendrá el filtro paso bajo deseado.

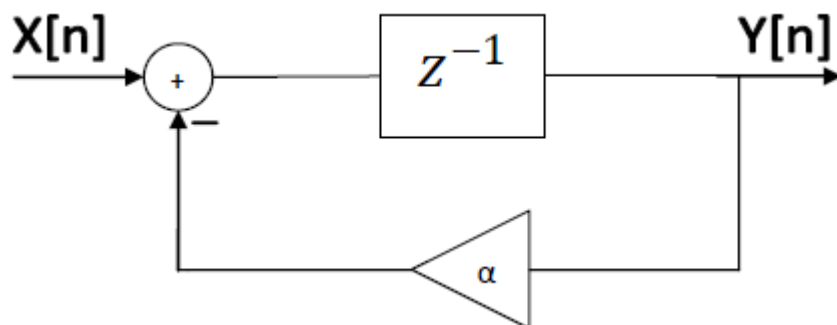


Figura 3.5: Diagrama de bloques de un filtro paso bajo discreto de primer orden.

El efecto de un filtro paso bajo en el dominio de la frecuencia, respecto a la frecuencia de la señal de entrada puede verse en la figura 3.6 en la cual se puede observar que las señales que tienen frecuencias bajas (es decir frecuencias menores a la frecuencia de corte), el filtro deja pasarlas intentando que la ganancia sea de 0dB en la medida de lo posible para que de esta forma esas frecuencias no se vean influenciadas por el efecto del filtro, mientras que por otro lado las frecuencias altas se atenúan intentando que a la salida del filtro su presencia en la señal se anule. Por estos motivos a la hora de diseñar un filtro paso bajo, o cualquier otro tipo de filtro hay que tener en cuenta los parámetros más importantes de los mismos, que son su ganancia y su frecuencia de corte. Como se ha explicado la ganancia del filtro interesa que sea de 0dB para modificar lo menos posibles las frecuencias deseadas siendo lo más fiel posible a la señal original, en cambio la frecuencia de corte sí que interesa que sea modificada según las frecuencias que queramos atenuar.

La forma de modificar la frecuencia de corte de un filtro paso bajo será mediante la modificación la posición de su polo (un único polo si el filtro es de primer orden), pues a partir de la frecuencia a la que se encuentre el polo la señales que tengan esa frecuencia o superior comenzarán a atenuarse, y por lo tanto a partir de esta frecuencia es cuando el sistema empezará a filtrar, como se puede ver en la figura 3.6.

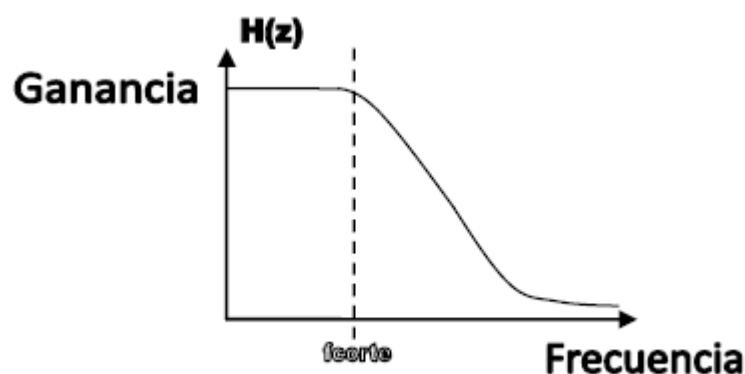


Figura 3.6: Respuesta en frecuencia de un filtro paso bajo de primer orden.

3.1.- La célula básica del circuito, la célula de retraso.

Como se puede observar en la figura 3.5, una de las partes que forman el filtro paso bajo es la célula de retardo, cuya principal función es retrasar la señal un periodo (z^{-1}), es decir, tomar la señal de entrada en un periodo t , y repetirla en un periodo $t+1$, como se puede ver en la figura 3.7.

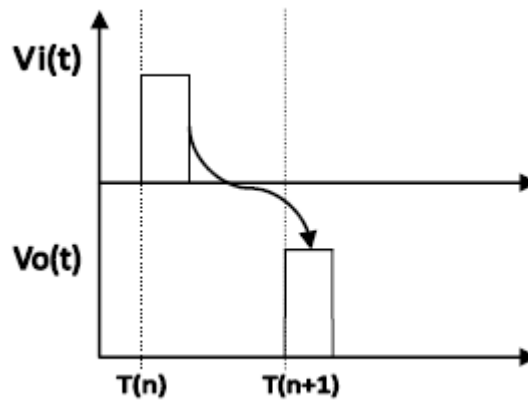


Figura 3.7: Ejemplo de funcionamiento de la célula de retraso.

Esta es sin duda la parte del circuito más importante y compleja de entender, y es por ello que se explicará de una forma más detallada.

Como se ha comentado, la célula de retraso se encarga de hacer una copia de un pulso de entrada y repetirlo un periodo más tarde, para así de esta forma realimentarlo como muestra el diagrama de bloques del filtro. Podríamos decir que la célula actúa como una memoria a corto plazo en el circuito, ya que retiene un pulso dado con anterioridad. Para realizar esta copia se desarrolló un circuito (Figura 3.8) que utilizaría una serie de circuitos RC como parte de un sistema global para realizar la copia de los pulsos. Para explicar su funcionamiento se considerará que todos ellos comienzan con una tensión de 0V, es decir $V_{c1} = V_{c2} = V_{c3} = 0V$. Además, en un régimen transitorio es interesante que todos ellos tengan la misma constante de tiempo τ que expresa la velocidad a la que se cargan los condensadores, ya que así todos tendrán una misma velocidad y su funcionamiento será más sencillo de entender, aunque luego en la realidad estas constantes puedan ser distintas dependiendo de cómo mejoren en funcionamiento general del filtro.

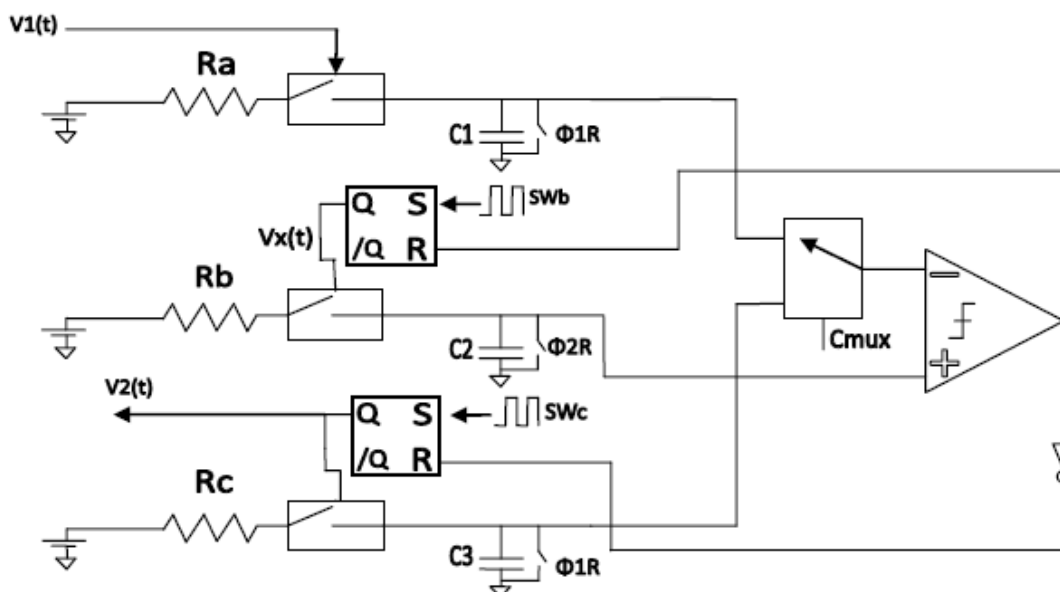


Figura 3.8: Diagrama de bloques de la célula de retraso.

Es importante puntualizar que este circuito sólo actúa para valores positivos de los pulsos introducidos, lo cual no es ningún impedimento para el mismo puesto que las señales de entrada al circuito como se ha comentado serán PWM que sólo varían entre 0 y V_+ , por lo tanto sólo necesita señales positivas, simplificando de esta forma el diseño final.

En el cronograma de la figura 3.9 se explicará el funcionamiento de la célula de retraso y cómo actúan las señales externas e internas del circuito. Aunque antes se recordará el funcionamiento de un circuito RC, es decir, la forma en la que un condensador se carga a través de una resistencia. La tensión a la que dicho condensador se cargará al introducir una tensión continua en su entrada seguirá la siguiente ecuación: $V_c(T_s) = V_r \cdot \left(1 - e^{-\frac{T}{\tau}}\right)$ [Ec.1]. En la cual se puede observar como el tiempo de carga del condensador T para una determinada tensión depende de la constante de tiempo τ que tenga el propio circuito.

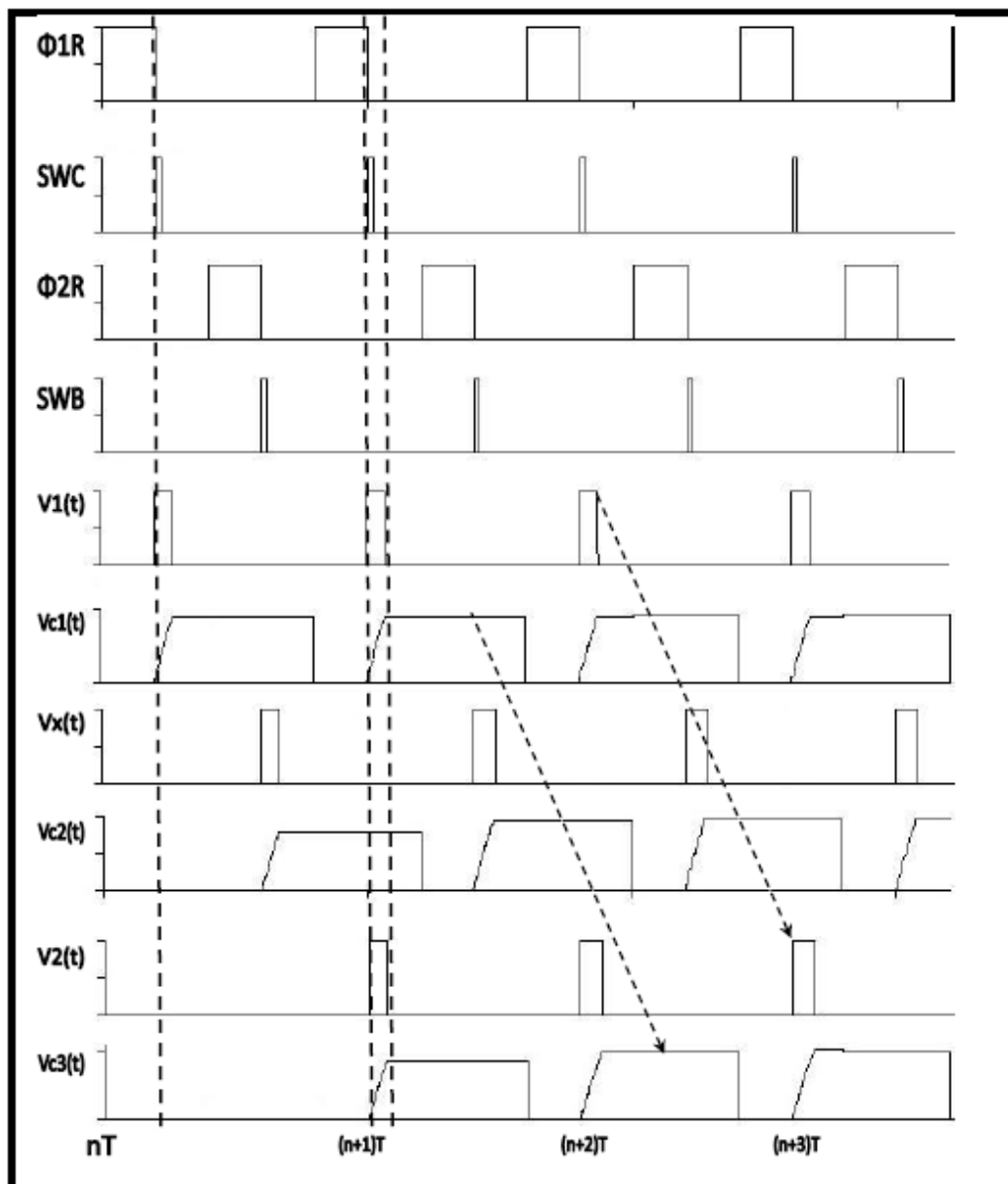


Figura 3.9: Cronograma de funcionamiento de la célula de retraso.



En este momento se estará en disposición de explicar el funcionamiento de la célula de retraso ya que se tiene todo lo necesario para poder comprenderlo. El primer concepto a tener en cuenta es que cada periodo de funcionamiento el circuito consta de 4 fases totalmente definidas, el tiempo de duración de la primera fase está dedicado al borrado de los condensadores C_1 y C_3 para que comiencen con una tensión inicial de 0 voltios a funcionar, ya que en la siguiente fase (fase 2) éstos condensadores tendrán que funcionar recibiendo distintas señales con las cuales tendrán que cargarse. La tercera y cuarta fases son análogas a las dos primeras respectivamente, con la diferencia de que estas actúan sobre el condensador C_2 , que funcionará como intermediario entre periodos para poder realizar la copia.

Como se puede ver en el cronograma, la primera señal que actúa sobre el circuito es la denominada $\Phi 1R$, ésta lo que hace es activar un interruptor que conecta directamente los condensadores C_1 y C_3 con tierra haciendo que se elimine cualquier carga que pudieran tener anteriormente y consiguiendo así éstos que empiecen con 0V para tener una referencia como se ha mencionado con anterioridad. Una vez descargados, la señal de entrada entonces al circuito $V_1(t)$, mientras se encuentra a nivel alto, activa un interruptor que hace que se cargue el condensador C_1 a una determinada tensión según la ecuación descrita anteriormente [Ec.1]. Tras la primera carga realizada por la señal de entrada al circuito, y justo a la mitad del periodo entre T_n y T_{n+1} , el condensador C_2 es borrado como se hizo antes con el condensador C_1 , pero esta vez mediante la señal $\Phi 2R$, tras este borrado una señal de activación (SW_b) conectada a la entrada Set de un biestable RS da un pulso, esto hace que la salida del biestable pase a nivel alto y cierre así el interruptor correspondiente para la carga del condensador C_2 , de esta forma C_2 comienza a cargarse a la misma velocidad que lo hacía el condensador C_1 al tener la misma constante de tiempo. La carga de este condensador C_2 continuará hasta que la tensión de ambos condensadores sea la misma, momento en el cual el comparador actuará y cambiará su salida pasando de estar en nivel bajo para estar a nivel alto, esta salida está conectada a la entrada Reset del biestable RS y por lo tanto al haber un pulso positivo en el mismo, la salida del biestable permutaría a 0 voltios, lo que desembocaría entonces en la apertura del interruptor que conecta la tensión de alimentación de los condensadores con el circuito RC y con lo cual se mantendría una carga constante en el condensador consiguiendo así que C_1 y C_2 tengan la misma carga, si durante todo este proceso se observa la salida del biestable RS vista en el tiempo, es decir su salida Q ($V_x(t)$), se puede observar que ésta tendrá el mismo ancho de pulso que la señal de entrada al circuito $V_1(t)$.

De la misma forma actuará el circuito al llegar al periodo T_{n+1} , en este caso, mientras el condensador C_1 recibe una nueva señal, el condensador C_3 se encarga de copiar la carga del condensador C_2 y por lo tanto el mismo ancho de pulso que $V_1(t)$



tenía en el periodo anterior, para ello una señal de activación SWc se encargará de cerrar el interruptor del circuito de carga para este condensador que igual que en el caso anterior se hará activando un biestable, una vez que la tensión C3 llegue a la misma que C2 (que aún mantiene la tensión anterior pues hasta la mitad del periodo ésta no se borrará), como antes, el comparador actuará para activar el Reset del biestable, la señal que obtendremos a la salida de éste será V2(t), la cual será del mismo ancho de pulso que la señal V1(t) en Tn, pero en este caso estaremos en Tn+1, habiendo retrasado y memorizado la señal un periodo más tarde.

Por otro lado, si observamos el comparador en el diagrama de bloques, se puede apreciar como antes de la entrada al mismo hay un multiplexor que elige qué tensión se debe comparar en el circuito según en la fase en la que estemos. Esto hace que en el caso de la comparación que se realiza entre C3 y C2 (si observamos a que entrada van conectadas las tensiones del condensador), se puede ver que en el momento en que C3 llegue a un mismo nivel de tensión que C2 el comparador pasará de estar a nivel alto a nivel bajo, pues la señal VC2 está conectada en la entrada positiva del comparador y la entrada VC3 está conectada a la entrada negativa del mismo. Por lo tanto, para que el comparador sea capaz de mandar el pulso positivo para activar el Reset del biestable, se necesita el uso de un inversor, de ahí que a la salida del comparador haya una conexión directamente a uno de los biestables, y otra vaya conectada a este inversor, de tal forma que aunque la transición sea de nivel alto a nivel bajo, el inversor la permutará y entonces el circuito será capaz de abrir el interruptor que carga al condensador C3. Justo lo contrario pasaría al principio, al tener VC2 que copiar a VC1 la permutación del comparador será al revés, de nivel bajo a nivel alto, de ahí que no se necesite el inversor para que funcione correctamente el biestable.

Una vez explicado el funcionamiento del circuito que actúa como célula de retraso, sería conveniente describir las ecuaciones que expresan cómo se cargan las tensiones en cada uno de los distintos condensadores del circuito. Para que así se pueda apreciar y calcular la respuesta del circuito ante una o varias señales externas y como afectan a la elección de los componentes.

Así pues las constantes de tiempo τ de cada uno de los circuitos RC serán:

$\tau_{ai} = R_{ai}C_1$ [Ec.2], siendo $i=1...N$, Constante de tiempo para el circuito RC de entrada. Puede haber varios coeficientes de τ_a ya que el condensador C1 podría ser cargado mediante varias señales de entrada si deseáramos realizar un sistema multibit.

$\tau_c = R_cC_3$ [Ec.3], constante de tiempo del circuito del condensador C3.

Por lo tanto podemos definir las tensiones en cada uno de los tres condensadores, que se verán impuestas por las siguientes ecuaciones:

$$V_{C1}((n+1)T_s) = V_r \left(1 - e^{\frac{-T_s}{\tau_a}} \right) \quad [\text{Ec.4}]$$

$$V_{C2}((n+1)T_s) = V_{C1}(n+1)T_s \quad [\text{Ec.5}]$$

$$V_{C3}((n+1)T_s) = V_r \left(1 - e^{\frac{-T_s}{\tau_c}} \right) = V_{C2}(nT_s) \quad [\text{Ec.6}]$$

Analizando estas ecuaciones lo que se puede deducir es que durante un mismo periodo de tiempo $n+1$ tanto V_{C1} como V_{C2} llegan a una misma tensión. Además también se puede percibir como el valor de tensión en el condensador C_3 en un periodo $t+1$ es la misma que la que tenía C_2 en el periodo t . Es decir, C_3 ha copiado la carga de C_2 con medio periodo de retraso, que originalmente era la carga de C_1 al comienzo del periodo anterior.

3.2.- Ejemplo de implementación de la célula en un filtro de 1^{er} orden completo.

Una vez que la célula de retraso ha sido explicada y se ha observado el diagrama de bloques de la misma, se explicará los detalles del circuito funcionando como filtro e integrador, como muestra la figura 3.10.

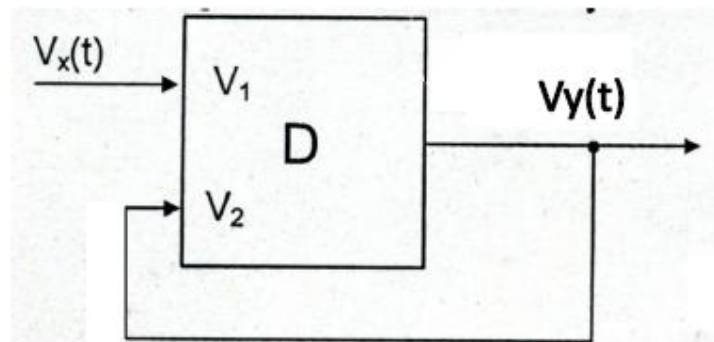


Figura 3.10: Sistema de un filtro de 1^{er} orden simplificado.

La célula de retraso puede ser utilizada para implementar cualquier tipo de filtro discreto, en el proyecto esta célula se usará para la construcción de un filtro de 1^{er} orden, el cual pueda ser utilizado después para construir filtros lineales de mayor orden en cascada o por ejemplo el integrador que se explicó al comienzo del documento. La figura 3.10 expone un filtro en un diagrama a muy alto nivel, de forma muy simplificada de un filtro paso bajo unipolar de primer orden, en éste diagrama se puede observar que el bloque D sería el correspondiente a la célula de retraso (Delay), el cual tiene dos entradas, la entrada V_1 es la correspondiente a la señal de entrada al circuito, mientras que la señal V_2 sería la correspondiente a la realimentación de la señal retrasada por la célula de retraso, y la cual cierra el lazo del filtro haciéndolo funcional.

La incursión de la señal de realimentación en el circuito requerirá entonces la instalación de un nuevo circuito RC para tratarla, de tal forma que su coeficiente influirá en todos los cálculos a la hora de fijar la frecuencia de corte y la ganancia del filtro.

La función de transferencia del filtro seguirá la siguiente función:

$$H(z) = \frac{V_y(z)}{V_x(z)} = \frac{g \cdot z^{-1}}{1 - p \cdot z^{-1}}.$$

En la cual tanto la posición del polo en el filtro como el valor de la ganancia vienen controlados por los coeficientes p y g respectivamente, cuya presencia se puede observar en la función de transferencia y cuyos valores están definidos por los propios valores de los condensadores y resistencias de los circuitos RC instalados en la célula.

Utilizando los coeficientes RC de los circuitos explicados durante este apartado, que serían $\tau_{a1}=R_1 \cdot C_1$, $\tau_{a2}=R_2 \cdot C_2$ y $\tau_c=R_c \cdot C_3$, se puede definir entonces la expresión que describe el ancho de pulso de la señal de salida del filtro T_y , la cual será:

$$T_y[n] = \frac{\tau_c}{\tau_{A1}} T_x[n-1] + \frac{\tau_c}{\tau_{A2}} T_y[n-1]$$

Como se puede observar, en esta ecuación se pueden definir dos coeficientes, el primero $\frac{\tau_c}{\tau_{A1}}$, el cual multiplica a la señal de entrada pero retrasada un periodo de tiempo, siendo T_x el ancho de pulso de esta señal, y proporcionando por lo tanto una ganancia a la célula de retraso, de esta forma se puede decir que este coeficiente es la g en la función de transferencia.

Por otro lado está el coeficiente $\frac{\tau_c}{\tau_{A2}}$, el cual acompaña a la salida del circuito y por lo tanto será el que controlará el coeficiente p . La constante τ_{A2} que interviene en p es debida a la constante RC introducida por los componentes de realimentación del filtro.

Como se puede ver en las expresiones anteriores, ninguno de los componentes del circuito RC intermedio aparecen (C_2 y R_b), ya que su misión es simplemente hacer de memoria intermedia entre C_1 y C_3 , la única restricción que debe cumplir es que en el tiempo en el que dura su carga, sea lo suficientemente rápido para copiar la tensión que hay en el condensador C_1 , por lo tanto sus valores no afectan en ningún caso a las matemáticas del circuito. Normalmente se cogería un valor similar a los de los otros circuitos RC para facilitar su implementación.

Inciendiendo sobre el coeficiente p , como se ha explicado anteriormente, se puede definir como el coeficiente que fija la posición del polo dentro del círculo unidad, y según donde éste se encuentre dentro del círculo, así será la velocidad del filtro que se construya.

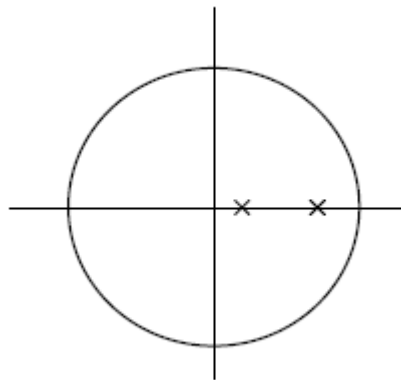


Figura 3.11: Situación de los polos dentro del círculo unidad.

Sobre la posición del polo, hay que vigilar de que el valor del coeficiente p no supere la unidad, ya que en el caso de que esto ocurra, el filtro estaría en una zona de funcionamiento inestable, ya que la estabilidad se encuentra dentro del círculo de radio unidad.

Por lo tanto siempre que se esté dentro de estos límites, cuánto más cercano esté el polo del eje vertical, más rápida será la actuación del circuito, mientras que por el contrario, cuanto más alejado esté, su filtrado será más progresivo. La importancia de esto es vital ya que será una característica que afectará directamente a la selección de los componentes del circuito y en el diseño del mismo.



Por ejemplo en la figura 3.12, utilizando el filtro como integrador, utilizando una ganancia $g=1$ y un coeficiente $p=0.8$, el comportamiento del filtro será:

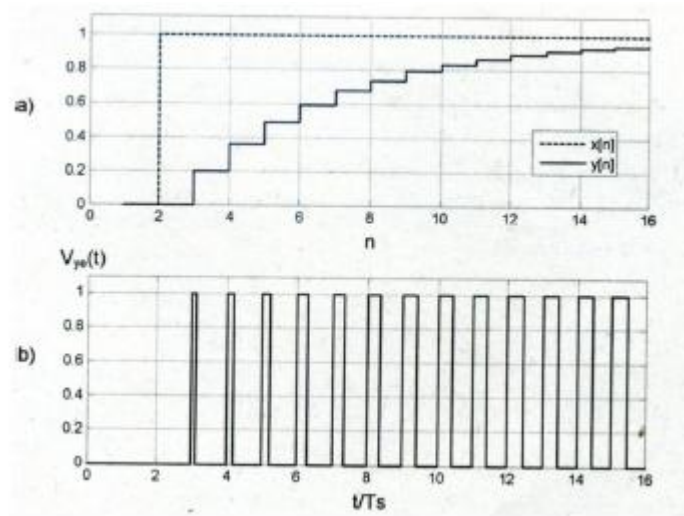


Figura 3.12: Funcionamiento del circuito como integrador ($g=1$, $p=0.8$).





4.- Diseño de demostradores.



4.- Diseño de un demostrador de filtro de 1^{er} orden:

Como se ha podido observar hasta ahora, todo lo que se ha expuesto y explicado en la memoria es principalmente contenido teórico sobre cómo funciona el proyecto, a partir de ahora se explicará cómo se desarrollaron los prototipos para probar que lo que se había visto en la teoría se correspondía con lo que en realidad puede observarse en la práctica.

Para comprobar el funcionamiento de la idea principal del circuito, se propusieron dos circuitos demostradores diferentes.

El primer circuito demostrador y más sencillo, cuya misión es comprobar que el circuito es capaz de filtrar una señal modulada Sigma-Delta de un único bit, y después un segundo demostrador más complejo, que intenta ir un paso más allá, e intenta filtrar una señal creada directamente por un convertidor digital analógico sin modularla en ancho de pulso.

Por lo tanto, se comenzará explicando el funcionamiento del primer demostrador, puesto que es el que se corresponde en mayor medida al desarrollo teórico expuesto en el proyecto.

4.1.- Demostrador 1: Filtrado de señales moduladas Sigma-Delta de 1 sólo bit.

Para este demostrador se utilizó un filtro que sigue el diagrama de bloques de la figura 4.1:

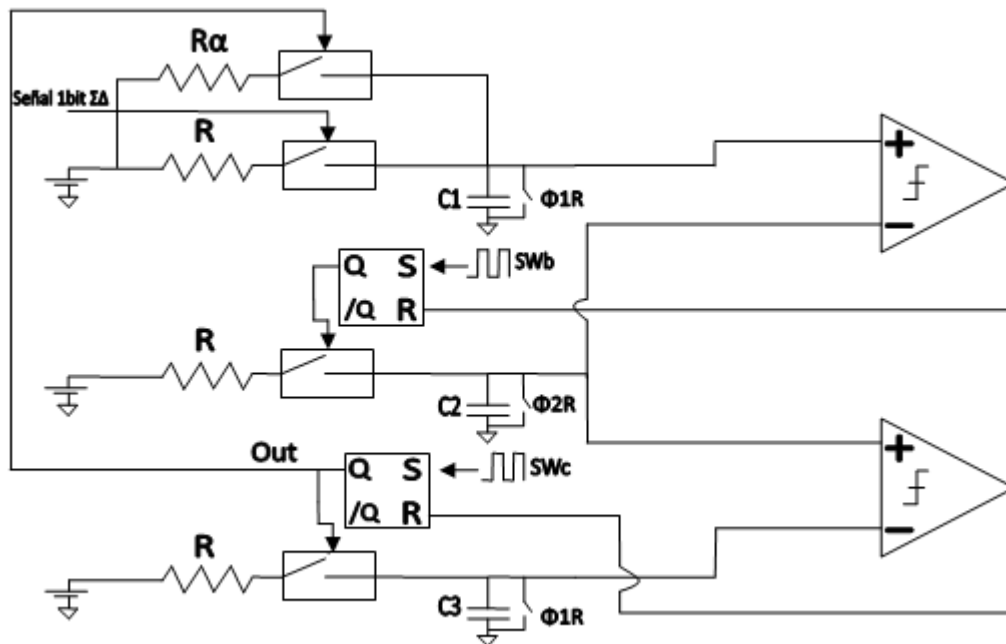


Figura 4.1: Diagrama de bloques del filtro para el demostrador 1.

Como se puede ver, su diseño es muy similar al de la figura 3.8, pero con una diferencia, en este caso se puede observar que en lugar de un único comparador en el que un multiplexor elige la señal de entrada, hay dos comparadores a los cuales les llega una señal individual a cada uno. El funcionamiento tanto con un multiplexor como con dos comparadores, es absolutamente el mismo, pero se ha elegido esta arquitectura ya que el circuito actúa de forma más rápida en esta configuración, pudiendo obtener así mejores resultados a la hora de realizar las pruebas.

Por lo demás, se puede observar que lo único que se ha añadido a la célula de retraso ha sido la realimentación del circuito que es lo que hace que éste actúe como filtro y no como retraso únicamente.

Una vez expuesto como es el filtro que se utilizará para realizar las pruebas pertinentes, lo siguiente que se procederá a explicar es cómo será el sistema de pruebas (Figura 4.2) con el que se realizarán los test de funcionamiento de la idea.

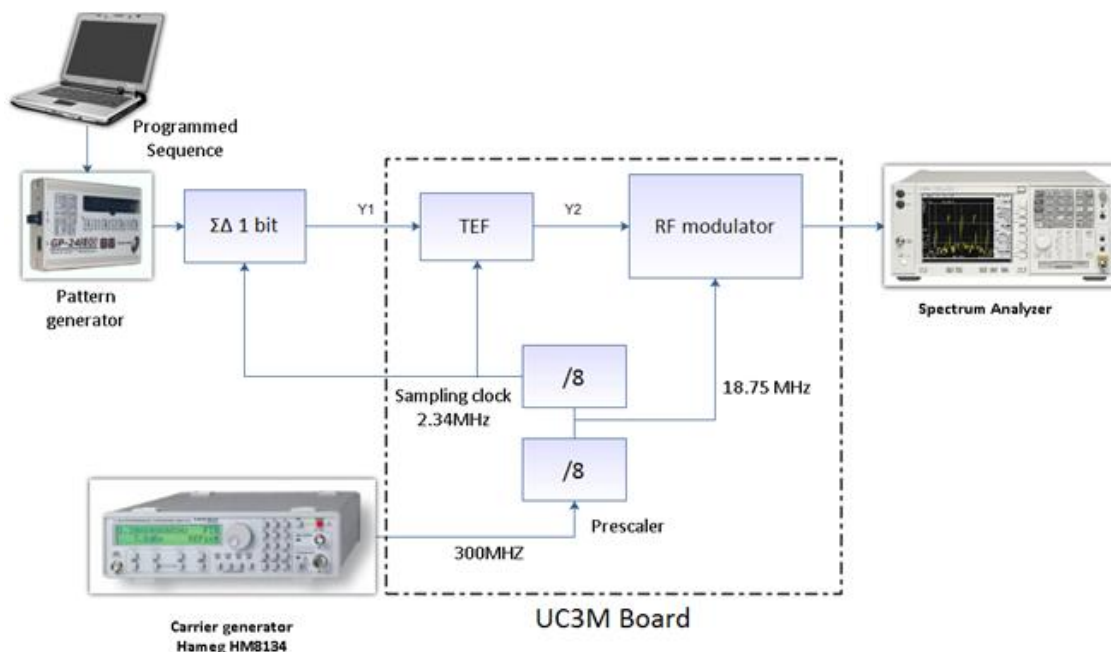


Figura 4.2: Sistema de pruebas para el demostrador 1.

El bloque marcado como TEF se corresponde con el filtro de la figura 4.1, por lo demás se puede observar una serie de bloques externos al filtro, pero incluidos en la placa de circuito desarrollada en última instancia, por lo que se va a proceder a explicar qué es cada uno de ellos y cuál es el papel que desempeñan dentro del demostrador.



Como se puede observar, dentro de lo que será la placa de circuito del demostrador, hay dos bloques adicionales al filtro, estos son el bloque preescalador y el bloque del modulador de RF.

Bloque del preescalador: Su función principal es la de poder obtener varias frecuencias de funcionamiento del circuito a partir de una única señal de reloj externa (que viene dada por el generador de portadora), de esta forma se puede hacer funcionar al circuito a frecuencias muy elevadas, del orden de 300MHz e incluso mayores con componentes discretos, mejorando así el comportamiento general del demostrador. Como se puede ver, el preescalador tiene dos posibles divisiones de frecuencia, primero puede dividir entre 8, y también entre 16 según a qué frecuencia queremos hacer funcionar al circuito, ya que hay que tener muy en cuenta que al estar formado por componentes discretos, a mayor frecuencia peor será su funcionamiento.

Bloque del modulador RF: Este bloque es simplemente para comprobar si es posible su funcionamiento, podemos decir que es un bloque extra al circuito para observar si es capaz de realizar modulaciones a alta frecuencia, aparte de realizar el filtrado correspondiente de las señales.

Bloque del modulador Sigma-Delta: La entrada del circuito de una señal Sigma-Delta no es posible realizarla con componentes analógicos sin ayuda de software, es por ello que para la creación de esta señal modulada de 1 bit, el demostrador se apoya en un generador de patrones que es capaz de generarla, a través de un script de Matlab capaz de transformar una tabla con los datos de la señal en un fichero entendible por el generador de patrones para crearla (Este script puede verse en los anexos)

Por último faltaría explicar que mediante el generador de portadoras se crea la señal del reloj para el circuito completo y por último se miden los resultados con el analizador de espectro

Por supuesto, antes de comenzar la construcción del circuito, se realizó una serie de pruebas mediante modelos de Simulink, en las cuales se comprobó que el funcionamiento de este demostrador sería correcto, en modelo Simulink para la realización de estas pruebas es el mostrado en la figura 4.3.

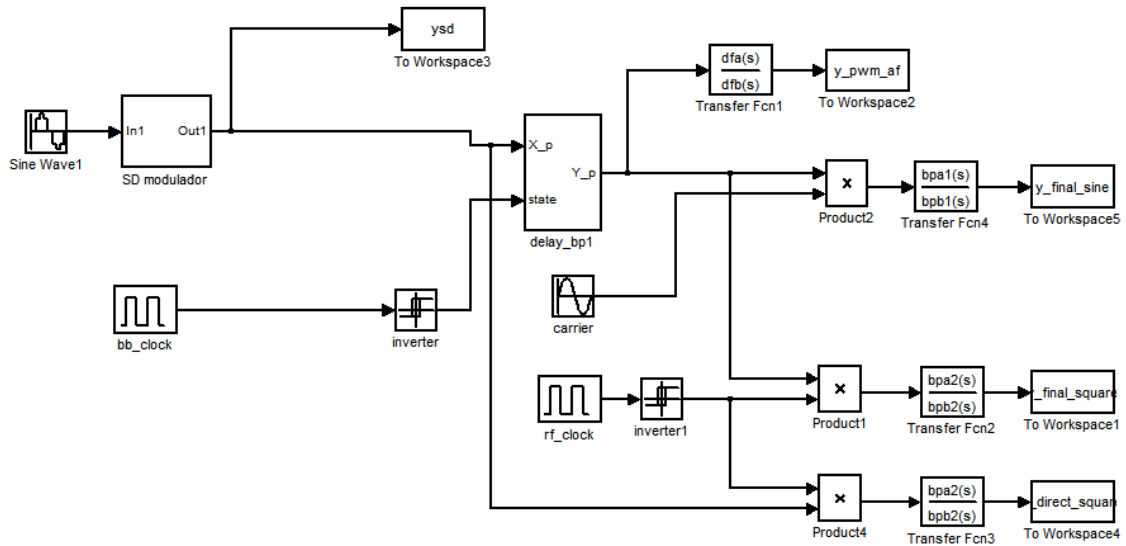


Figura 4.3: Modelo de pruebas Simulink para el demostrador 1.

Los bloques principales para este demostrador, es decir, el modulador Sigma-Delta, puede observarse al comienzo del modelo, con el nombre de SD modulator, el cual se puede ver más específicamente en la figura 4.4. Por otro lado la célula de retraso es el bloque central, llamado delay_bp1, el cual puede observarse en detalle en la figura 4.5.

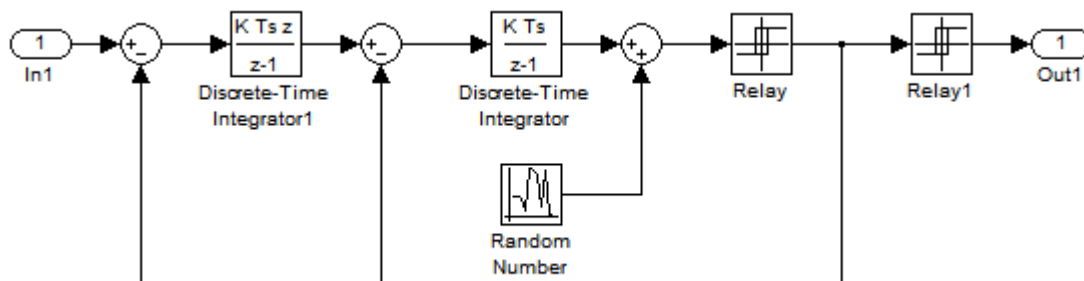


Figura 4.4: Modulador Sigma-Delta.

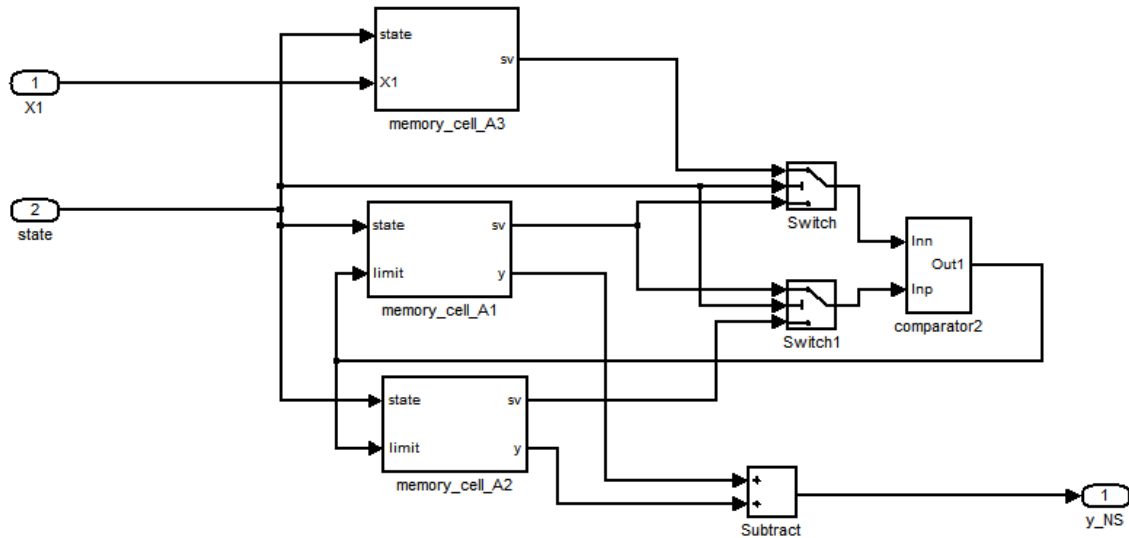


Figura 4.5: Modelo de la célula de retardo en Simulink.

Son visibles en la figura 4.5 los tres circuitos RC que realizan la copia de las señales, nombrados como `memory_cell_AX`, cuyo interior puede verse en la figura 4.6, donde se puede contemplar cómo está implícita la constante RC y los biestables RS (Subsystem1).

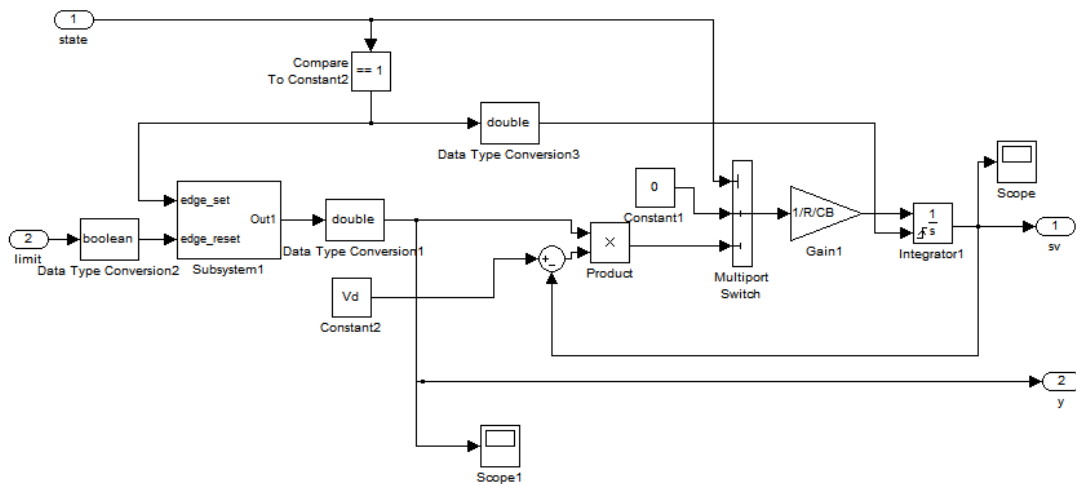


Figura 4.6: Modelo del circuito RC en la célula de retraso.

Una vez expuesto el modelo Simulink que realizaría las pruebas sobre el funcionamiento del demostrador, se pasará a mostrar los resultados de estas simulaciones.

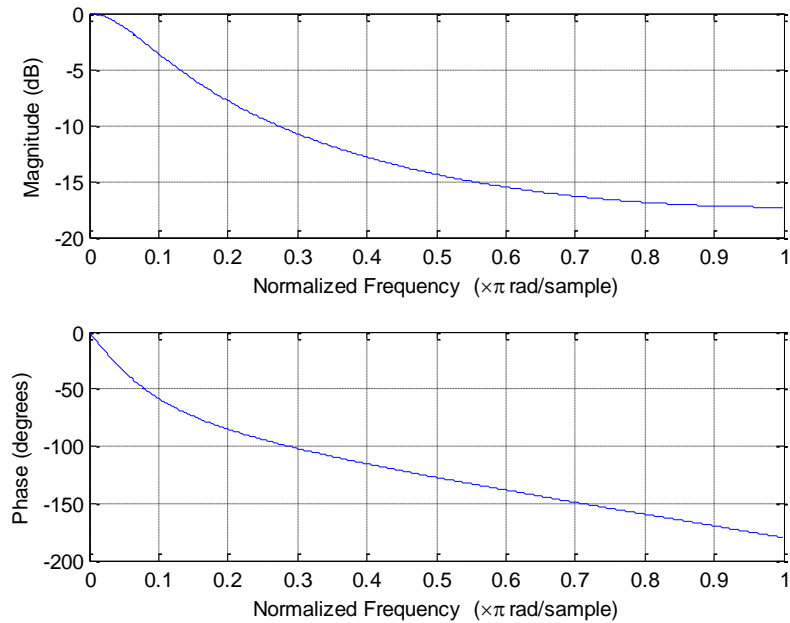


Figura 4.7: Simulación de la función de transferencia del sistema.

Como se puede intuir en la figura 4.7, la función de transferencia del filtro se corresponde de forma muy similar a un filtro de primer orden, ya que según se va acercando el filtro a la frecuencia de corte la salida se va atenuando 20dB por década, lo mismo ocurre con la fase, se puede ver perfectamente como tiende a un desfase de 180° cuánto más se acerca a la frecuencia de corte, por lo que al menos se puede observar como el filtro actúa de forma correcta.

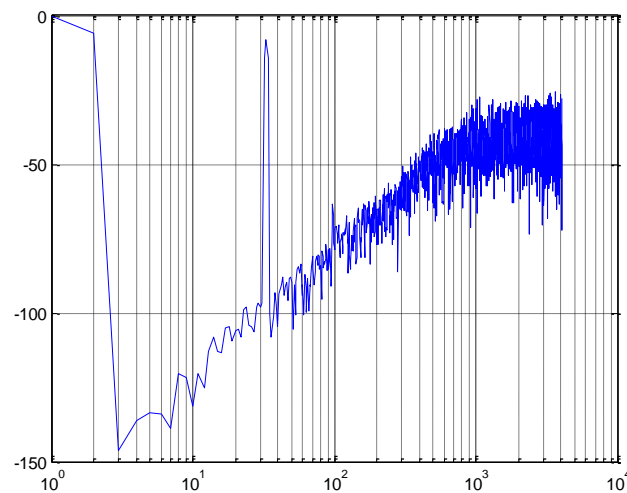


Figura 4.8: Espectro de la señal Sigma-Delta.

En la figura 4.8 se demuestra el correcto funcionamiento del modulador Sigma-Delta, puesto que si se analiza el espectro de la señal a su salida se puede ver el tono

modulado perfectamente, y a su lado el clásico ruido de cuantificación típico de este tipo de moduladores, y que será el que el filtro tendrá que atenuar.

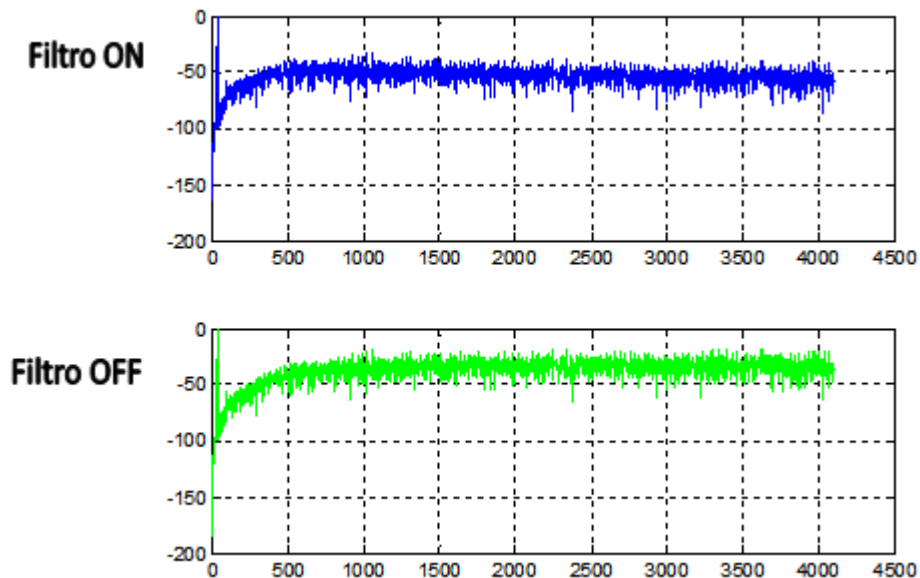


Figura 4.9: Funcionamiento del filtro sobre la salida.

En la figura 4.9 se puede observar el funcionamiento del filtro sobre el espectro de salida de la señal Sigma-Delta, como queda demostrado, al activar el filtro conectando la realimentación al circuito, el ruido de cuantificación de la señal Sigma-Delta queda atenuado de forma visible, aproximadamente unos 20dB sobre la señal sin filtrar. Con los resultados positivos en cuanto a la simulación del primer demostrador, hay vía libre para realizar el circuito físico que lo implemente.

4.2.- Demostrador 2: Filtro para señales creadas por un DAC.

En el caso de este demostrador se quiere ir un paso más allá en el funcionamiento del filtro, puesto que se ha comprobado su funcionamiento para señales moduladas Sigma-Delta de un único bit, lo que se quiere intentar ahora es el filtrado de señales provenientes directamente de un DAC, sin la necesidad de realizar una modulación PWM inicial, pudiendo reducir de esta forma el ruido de cuantificación inicial y obtener una señal incluso con menor ruido y más calidad.

Para ello, el filtro de señales codificadas en tiempo sufre un lavado de cara muy importante, haciéndolo más eficiente que el anterior, siguiendo el diagrama de bloques de la figura 4.10

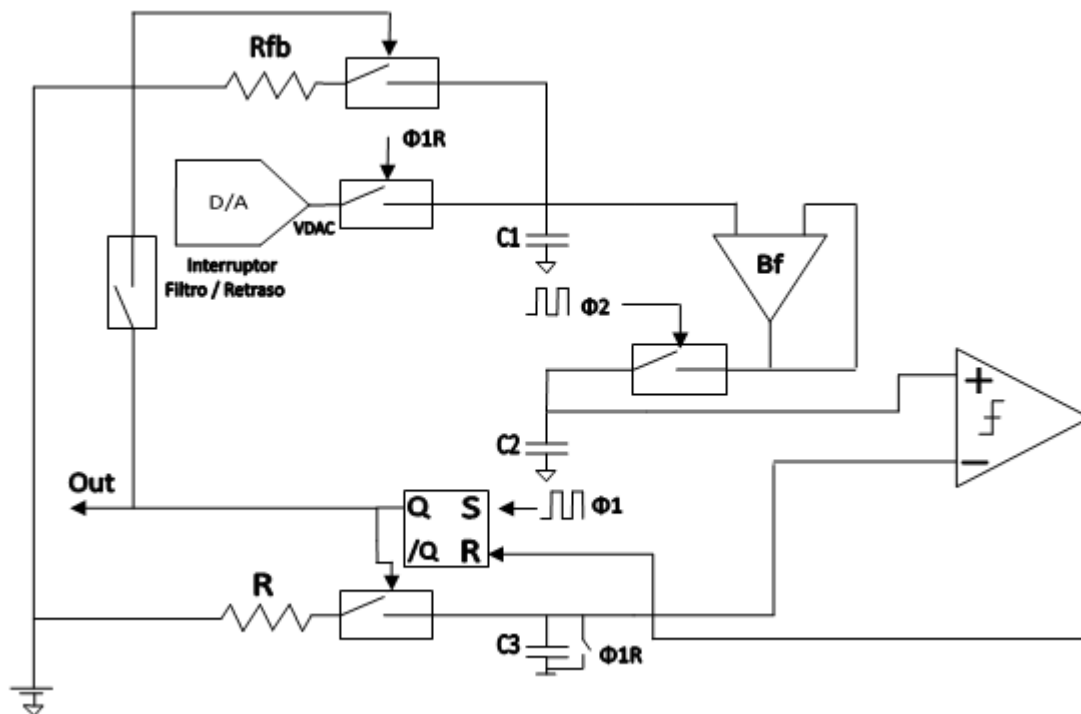


Figura 4.10: Filtro TEF para el segundo demostrador.

Como se ha dicho, la modificación del filtro es importante, sufriendo varias mejoras que lo hacen más eficiente y más rápido en su actuación. Las principales modificaciones para este nuevo filtro pueden observarse principalmente en la simplificación de los circuitos RC, puesto que se ha conseguido pasar de tres circuitos RC a únicamente uno de ellos.

Inicialmente, se pensó que el uso de tres de estos circuitos harían el funcionamiento del circuito más sencillo, puesto que tres circuitos iguales serían mucho más sencillos de analizar que tres sistemas distintos, pero en la revisión del sistema, se llegó a la conclusión final de que los dos primeros circuitos podrían ser eliminados, el primero se puede reducir ya que simplemente lo que hacía anteriormente era copiar la tensión de entrada en el circuito, para ello no hace falta que se haga mediante una resistencia, una conexión directa de la entrada al condensador hace que la copia de la señal sea instantánea eliminando también la necesidad de borrado del condensador, y por este mismo motivo se pudo eliminar el segundo circuito RC, ya que lo único que hacía el segundo condensador era de intermediario de tensiones, memorizando la tensión del condensador de entrada, para ello no hace falta que se haga mediante una resistencia, puesto que conectándolo al primer condensador y controlando su carga mediante su fase de activación, la copia se podría realizar instantáneamente, por ello, el único circuito RC útil era el que cargaba el tercer condensador, puesto que la señal de salida del circuito venía definida por el tiempo que éste circuito tardaba en copiar a la tensión del condensador C_2 , por eso

este módulo RC es imposible de simplificar, ya que es el único necesario para obtener la señal filtrada a la salida.

Como consecuencia de esto, se ha podido eliminar también uno de los biestables RS, puesto que la copia de la tensión en el condensador C_2 se realiza instantáneamente mediante un amplificador operacional operando como buffer de ganancia unidad. Este nuevo funcionamiento hace que una de las cuatro fases de funcionamiento del filtro anterior pueda ser eliminada, ya que para el condensador C_2 no hace falta eliminar la tensión de su carga, puesto que su misión de copiar la tensión de entrada la puede seguir realizando de una forma eficiente sin necesitar su borrado. Otra consecuencia de esta simplificación es la posibilidad de eliminar uno de los comparadores puesto que ya no es necesaria una comparación continua entre las tensiones de los condensadores C_1 y C_2 al estar permanentemente conectados entre sí.

De esta forma se ha conseguido una simplificación muy significativa de la célula, haciéndola de esta forma más eficiente y por lo tanto pudiendo operar a frecuencias mayores al evitar los retrasos de circuitos discretos que antes operaban en ella.

Una vez explicado el filtro mejorado, se va a presentar el nuevo sistema de pruebas (Figura 4.11) propuesto para este nuevo demostrador.

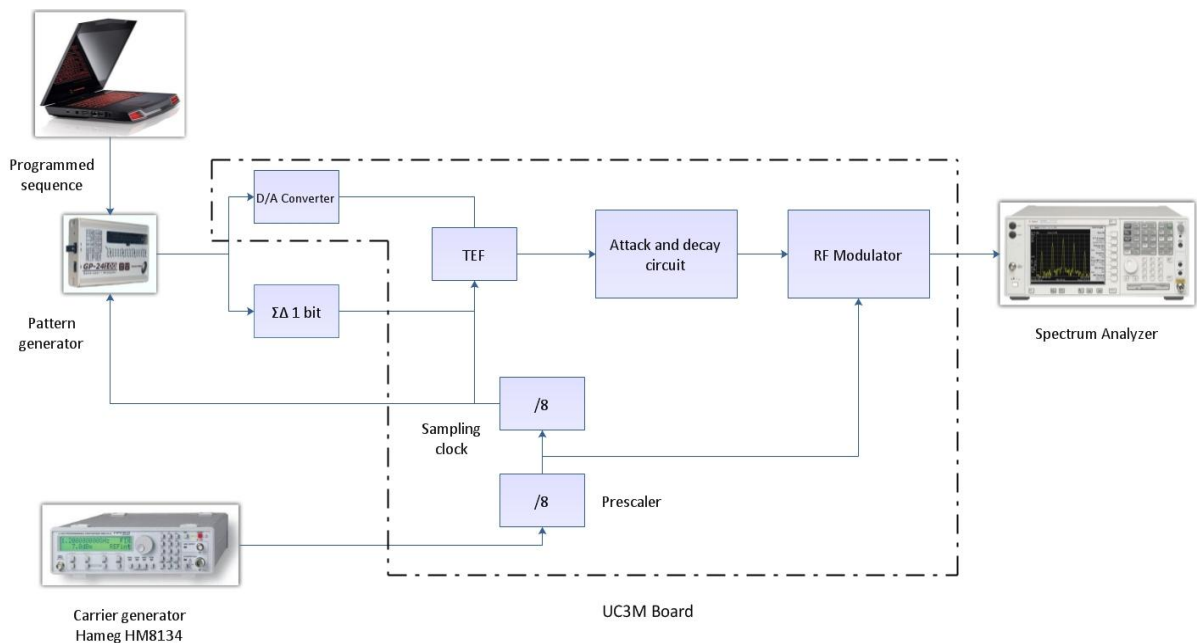


Figura 4.11: Sistema de pruebas para el demostrador 2.

Como se puede observar hay dos principales diferencias entre este sistema y el del primer demostrador, es la incursión de dos bloques nuevos en el mismo. Estos bloques son el del conversor digital analógico, y el bloque de ataque y caída.

Conversor digital analógico: Como hemos dicho en un primer momento la principal novedad que incluiría este demostrador es el filtrado de señales directamente provenientes de una señal analógica sin un previo modulado en una señal Sigma-Delta, esta nueva entrada al sistema proviene de un DAC que será controlado por el mismo generador de patrones que en el demostrador anterior creaba la señal Sigma-Delta modulada de 1 bit. Por compatibilidad con el demostrador anterior, se sigue pudiendo introducir este tipo de señales Sigma-Delta, aunque en este caso, no son el principal objetivo.

Circuito de ataque y caída: El principal objetivo de este bloque es variar la pendiente de las señales PWM de la salida del filtro con el objetivo de disminuir un tipo de ruido que es provocado por transiciones muy rápidas entre nivel alto y bajo, modificando el tiempo en que ocurre en esta transición, se puede eliminar en parte el ruido total en la salida.

Por lo demás, el sistema está compuesto por los mismos bloques que lo hacían en el primer demostrador, los cuales están explicados en el apartado 4.1.

Como en el caso del sistema de pruebas para el demostrador, el sistema de Simulink también habrá cambiado significativamente, como se puede comprobar en la figura 4.12.

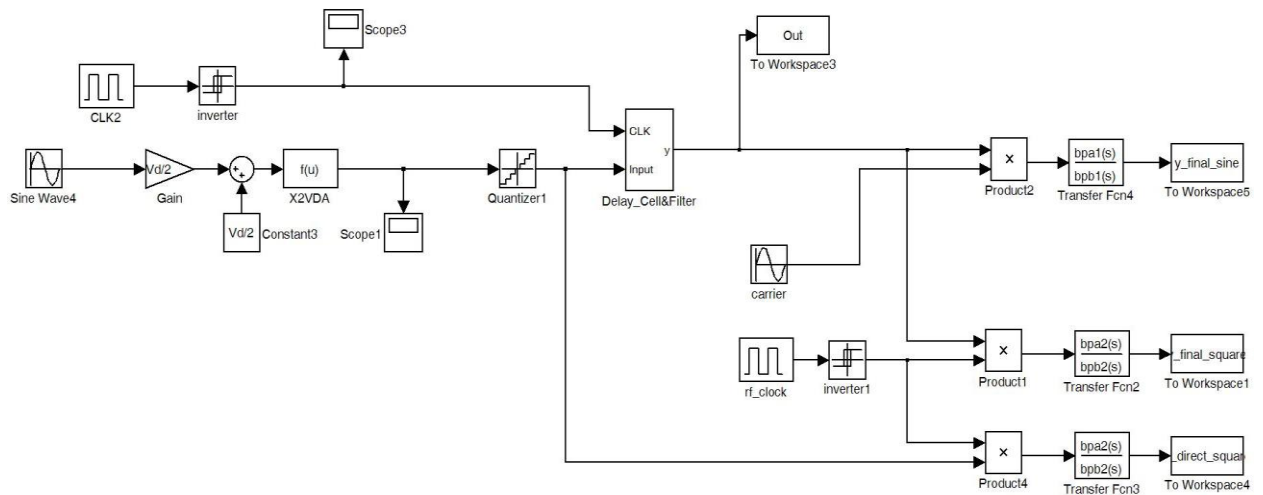


Figura 4.12: Modelo de pruebas Simulink para el demostrador 2.

Como se puede observar a alto nivel, ambos sistemas son bastante parecidos, la principal diferencia es la sustitución de bloque modulador Sigma-Delta por el bloque X2VDA que simboliza la tensión de salida del conversor digital analógico, en cambio, cuanto a más detalle se analiza el sistema, mayores son las diferencias que se pueden encontrar entre ellos como se verá en las siguientes figuras.

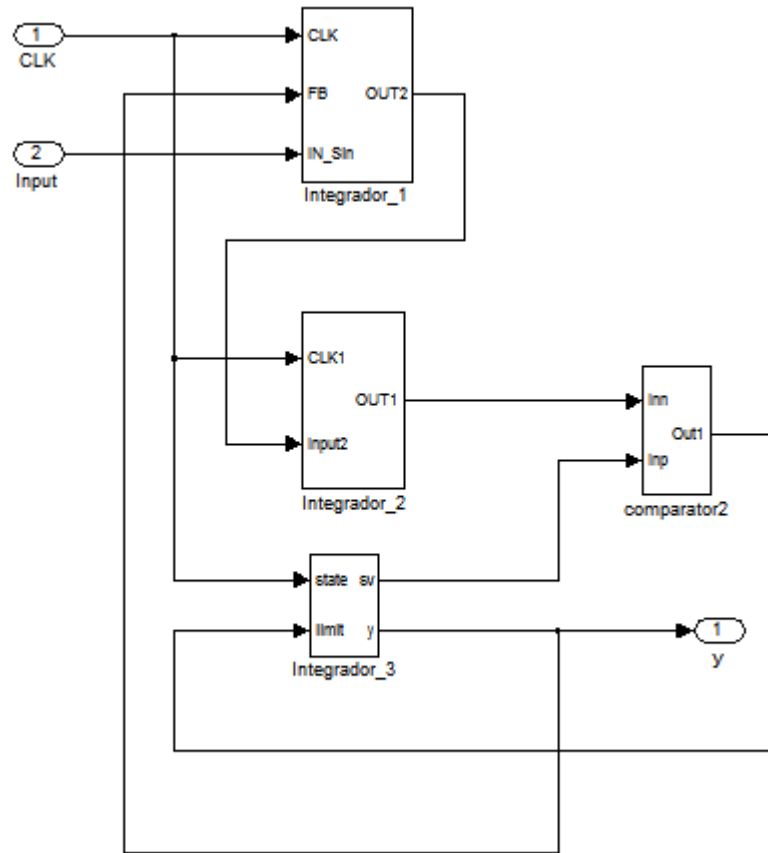


Figura 4.13: Modelo del filtro y célula de retardo en Simulink para el D2.

En este caso las diferencias entre ambas células (comparándola con la figura 4.5) son palpables, los dos primeros integradores se han simplificado notablemente, puesto que ambos únicamente tienen una salida, estando el primer integrador conectado directamente a la entrada del segundo, esto hace que no haga implementar un comparador extra para realizar las copias o en este caso, un multiplexor que tenga que elegir entre las señales a comparar, puesto que como hemos dicho antes, esto es innecesario para los primeros integradores. De esta forma, tal y como se ha simplificado este sistema en el diagrama de bloques, también se ha simplificado en su modelo Simulink.

Si se observa el interior de uno de los dos primeros integradores (Figura 4.14), también podrán encontrarse un mayor número de diferencias.

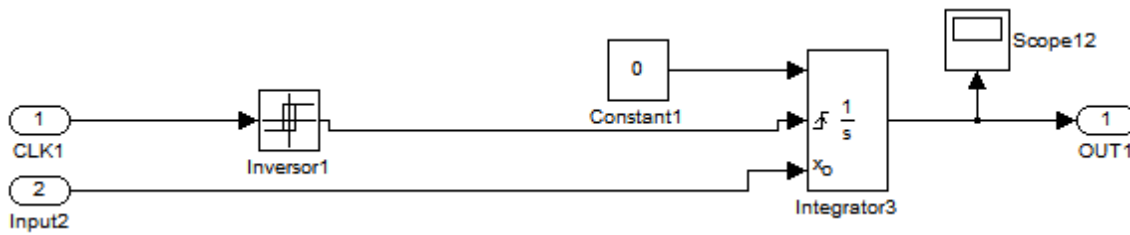


Figura 4.14: Integrador simplificado en el demostrador 2.

En este integrador, a diferencia de los propuestos para el primer demostrador, se ha implantado la solución propuesta y explicada anteriormente, eliminar los periodos de carga de los condensadores intermedios para así obtener un funcionamiento más rápido del sistema, de ahí que lo único que haya dentro del sistema sea el bloque $1/s$ que simule un condensador actuando de forma solitaria, sin ningún tipo de resistencia de carga.

El integrador para el tercer condensador como ya se ha dicho, no puede ser modificado ya que sus periodos de carga son los que definen la señal en ancho de pulso a la salida.

Por lo tanto, una vez explicado el funcionamiento del modelo, se pasará a mostrar las simulaciones realizadas sobre él, para comprobar el funcionamiento del filtro, lo cual se podrá ver en las siguientes figuras.

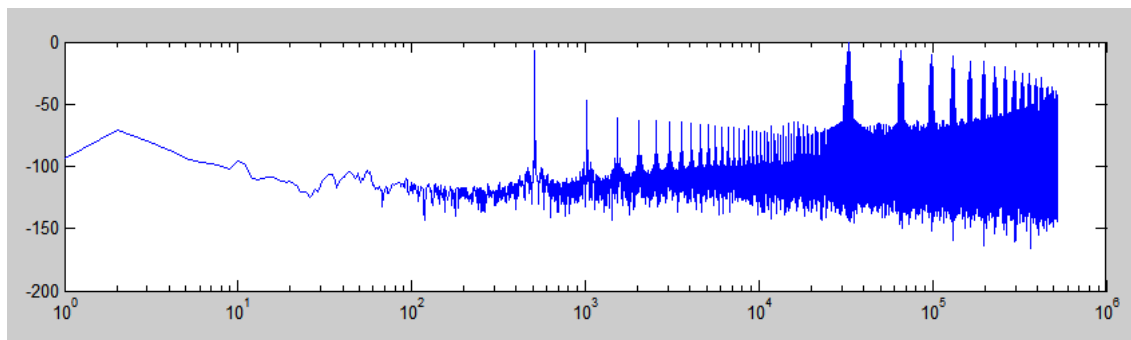


Figura 4.15: Señal a la salida del sistema con el filtro apagado.

En esta primera simulación se muestra la salida del sistema con el filtro apagado, es decir únicamente funcionando como célula de retraso modulando la entrada en una señal PWM directamente sin filtrarla. Es intuitivo ver como el valor de los armónicos y del ruido cercano al tono es bastante elevado, siendo necesaria su atenuación, en la figura 4.16 se podrá observar cómo actúa el filtro sobre la señal.

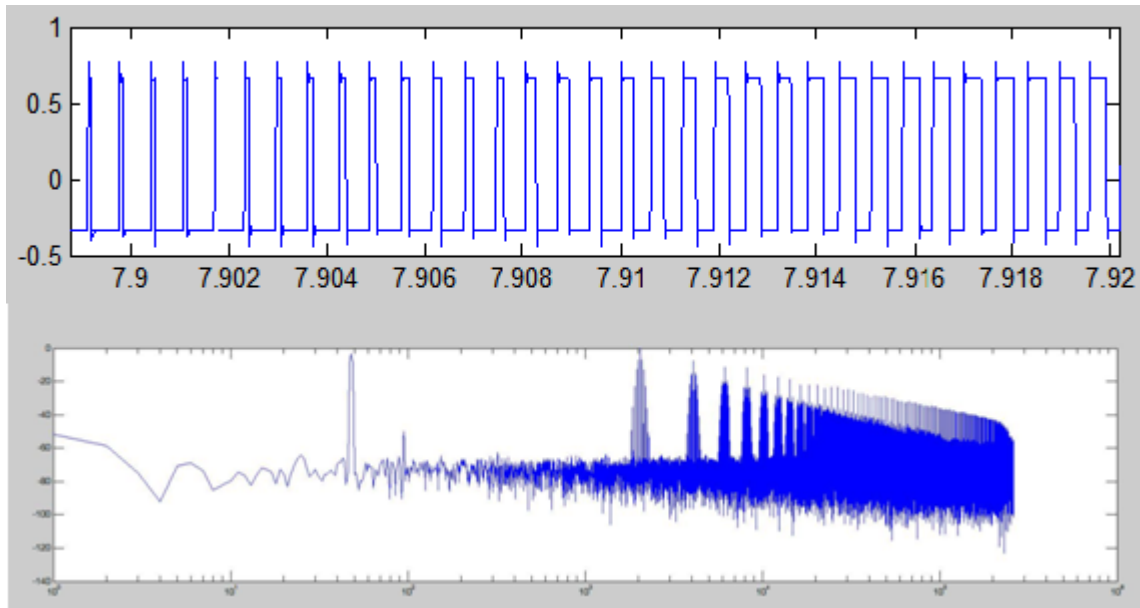


Figura 4.16: Salida del sistema con el filtro activado.

Una vez el filtro ha sido activado, los armónicos que acompañaban al tono principal se han visto notablemente disminuidos, por lo tanto queda demostrado como este demostrador también es capaz de filtrar el ruido como lo hacía el primero, pero de una forma más sofisticada y eficaz.

Por supuesto, con estas simulaciones ha quedado demostrado como el sistema es capaz de filtrar, pero en estos sistemas es extremadamente importante el número de bits que tenga el DAC, puesto que cuanto mayor sea este número, menor ruido se tendrá a la salida, puesto que más puro será el tono creado. Para comprobar este hecho, se han realizado diferentes simulaciones en Simulink que se mostrarán a continuación.

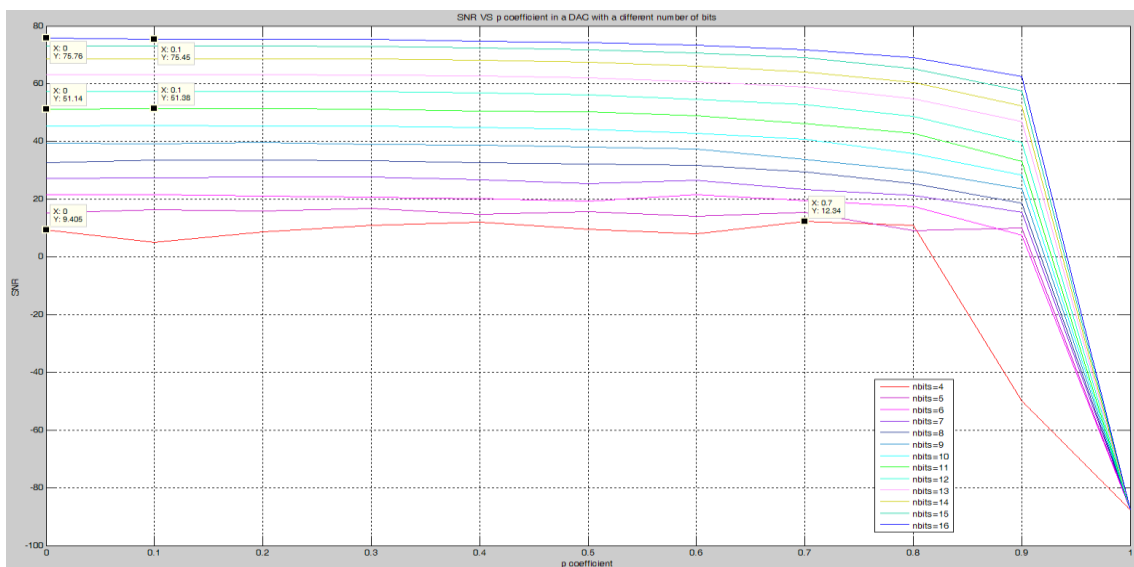


Figura 4.17: SNR del filtro para diferente número de bits, en función del parámetro p.

La figura 4.17 muestra la evolución de la relación señal a ruido del filtro, según va aumentando el número de bits del convertidor digital analógico. Para la simulación de la figura, las curvas que están en la zona superior de la imagen corresponder a DACs de elevado número de bits, de hecho, la curva situada en la posición más alta corresponde a un convertidor de 16 bits, dando una SNR de 76dB, la cual es muy elevada. Sin embargo, según va bajando el número de bits lo hace también la SNR, la curva más baja es para un convertidor de 4 bits, dando una SNR de aproximadamente 10dB, muy pobre. Esto como se ha dicho antes es debido a que cuanto mayor es el número de bits, más ideal será la señal introducida al sistema y por lo tanto menos ruido inherente a la conversión tendrá.

En la siguiente figura 4.18, se enseñará la influencia del parámetro p en la relación SNR del filtro, es interesante saberlo para encontrar los parámetros ideales que consigan el mejor comportamiento del sistema.

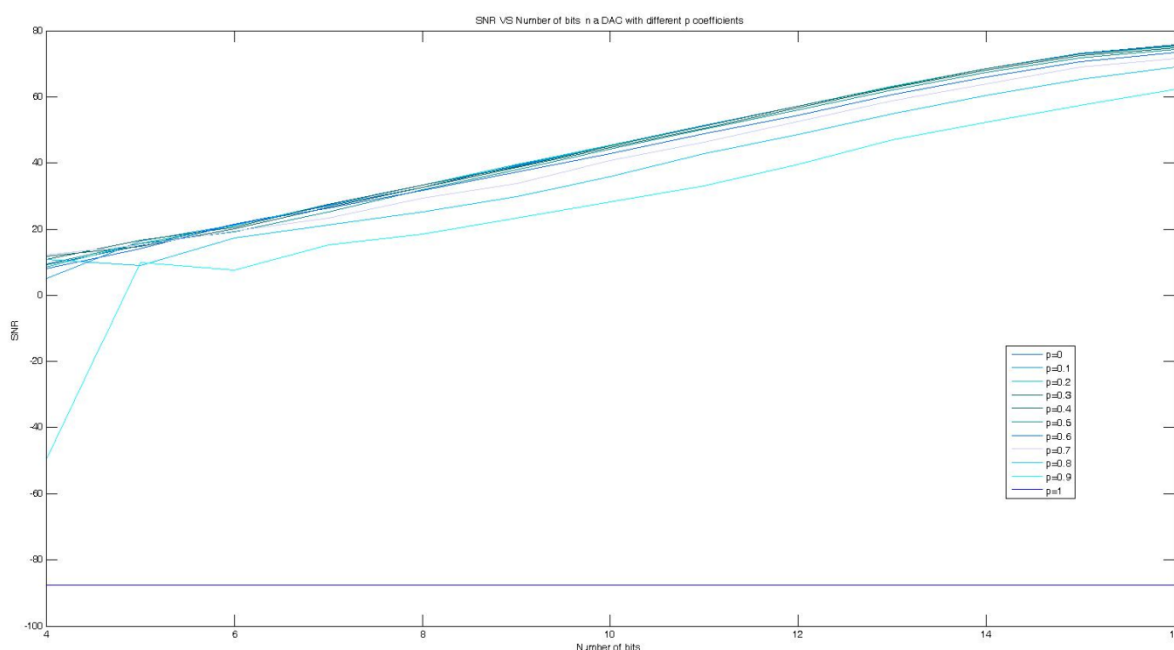


Figura 4.18: Evolución del SNR del filtro respecto al parámetro p , para DACs de distinto número de bits.

En este caso cada una de las curvas representa la relación SNR para un parámetro p distinto, en función del número de bits. En este caso, las curvas con una mejor atenuación del ruido son aquellas cuyo p es pequeño, disminuyendo para valores de p elevados. Este fenómeno es debido a que cuanto mayor es el coeficiente p , menor es el valor de la ganancia del sistema y por lo tanto menor la diferencia entre la señal y el ruido. El valor extremo puede verse cuando p tiene valor unidad, ya que de esta forma g se anulará perdiendo toda señal, de ahí que se tenga un valor negativo.



Para concluir con este apartado queda demostrado como teóricamente ambos demostradores realizan correctamente su función de filtrado de señales, ya sean señales moduladas Sigma-Delta de un único bit, como señales provenientes de un conversor digital analógico.

Puesto que la teoría puede decirse que está correctamente diseñada, el siguiente paso para la consecución de los objetivos del proyecto sería la realización hardware del sistema, que permita demostrar físicamente que las ideas propuestas son capaces de ser implantadas en circuitos reales. Para ello se fabricarán dos circuitos, los cuales serán implantados en cada uno de los demostradores anteriores, y a los cuales se les realizará un banco de pruebas que permita comprobar su correcto funcionamiento.





5.- Diseño hardware.



5.- Diseño hardware del sistema.

En este apartado del documento se procederá a detallar el desarrollo hardware llevado a cabo para la fabricación de los prototipos que permitan evidenciar un funcionamiento correcto de los conceptos teóricos desarrollados.

5.1.- Diseño hardware del demostrador 1.

A la hora de explicar los circuitos eléctricos se comenzará primero por la explicación general del funcionamiento de los mismos para luego proceder a la explicación detallada de cada uno de los bloques por separado, relacionándolos con los bloques explicados anteriormente en los bocetos de los demostradores (Figuras 4.2 y 4.11)

5.1.1.- Circuito eléctrico completo para la placa del demostrador 1.

Primero se mostrará el diagrama de bloques que dará una visión más generalizada y fácil de entender que el circuito eléctrico mostrado sin más:

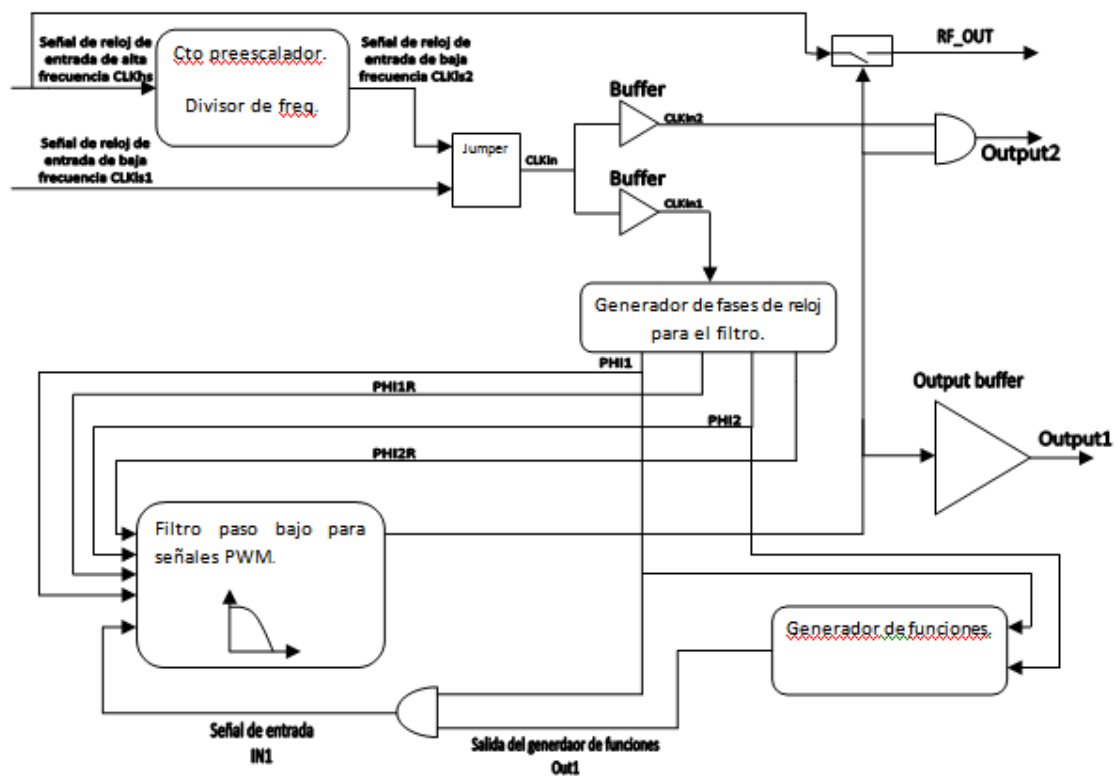


Figura 5.1: Diagrama de bloques para el demostrador 1.

Como se puede observar en el diagrama de bloques, pueden introducirse dos tipos de señal al circuito, una señal de alta frecuencia que será dividida por el preescalador para un correcto funcionamiento del circuito, y una señal de baja frecuencia que puede ser introducida al circuito sin preprocesarla. Se puede elegir cual de ella usar cambiando simplemente la posición del interruptor “jumper” en un lugar u

otro. Esta señal de reloj (cualquiera de ellas que se haya elegido), es introducida en un registro de desplazamiento que creará las fases del circuito a través de una serie de puertas lógicas (se verá explicado en el apartado de cálculos del circuito). Estas fases controlarán el funcionamiento del filtro.

La entrada modulada Sigma-Delta vendrá provista como se ha explicado con anterioridad por el generador de patrones, esta señal Sigma-Delta se habrá creado mediante el modelo Simulink de Matlab definido con anterioridad en el documento.

Una vez el diagrama de bloques está explicado, se podrá explicar más fácilmente la correspondencia entre éste y el circuito eléctrico real.

Circuito eléctrico mostrado como esquemático:

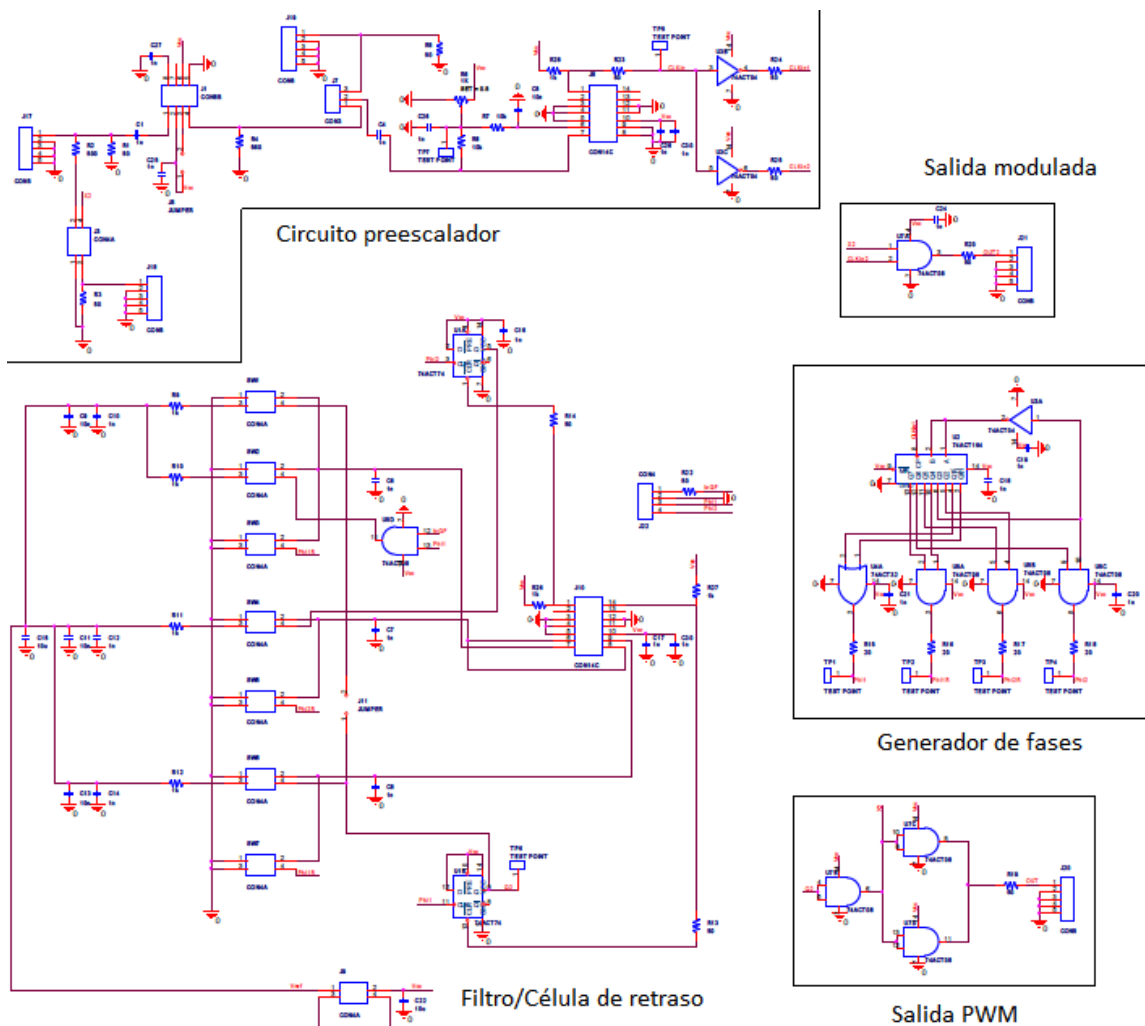


Figura 5.2: Circuito eléctrico de la placa de circuito para demostrador 1.

En el circuito de la figura 5.2 se pueden observar los distintos bloques del circuito de una forma más cercana a lo que sería el circuito real, se tomará cada uno de

estos bloques por separado para explicar su principio de funcionamiento lo más explícitamente posible.

Bloque del divisor de frecuencia.

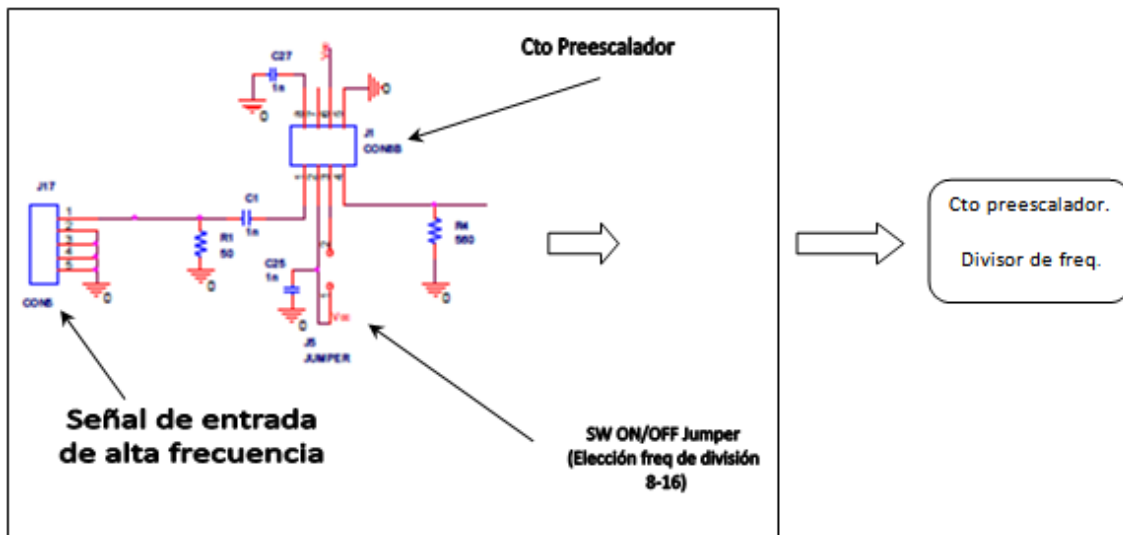


Figura 5.3: Divisor de frecuencia.

La figura 5.3 muestra la parte del circuito que se encarga de dividir la frecuencia del reloj de entrada para hacerla aceptable para el funcionamiento del circuito. El principal motivo por el cual se hace esto en lugar de introducir directamente una señal de baja frecuencia que haga funcionar al circuito correctamente (lo cual también es posible como se verá en la figura 5.4) es ya que de esta forma, con una única señal de entrada de reloj, se puede tanto hacer funcionar al filtro como tener una señal portadora de alta frecuencia que permita realizar una modulación del orden de cientos de MHz, de ahí que se complique el circuito de esta manera.

Bloque generador de la señal de reloj:

Este bloque continua con el de la figura 5.3 y se le pueden introducir dos señales, la primera de ellas será la generada por el divisor de frecuencia mientras que la segunda será una señal de baja frecuencia que se le pueda introducir directamente para el caso en el que el circuito divisor no funcione correctamente, esto hará imposible la modulación de señales a alta frecuencia pero la función de filtrado del circuito continuará funcionando perfectamente.

Una vez seleccionada el tipo de señal de reloj que se introducirá al circuito, el siguiente paso es su acondicionamiento y la mejora de su forma (hacerla más cuadrada), esto se hará mediante el uso de un comparador en circuito abierto cuya función será la de saturar a su máxima tensión las señales a nivel alto, y saturar al mínimo nivel aquellas a nivel bajo. Una vez la señal de reloj está acondicionada, se hará pasar por un último buffer que le dé una última mejora de forma y así ser enviada

a los circuitos que la necesitan, como será el generador de fases, o el modulador de baja frecuencia.

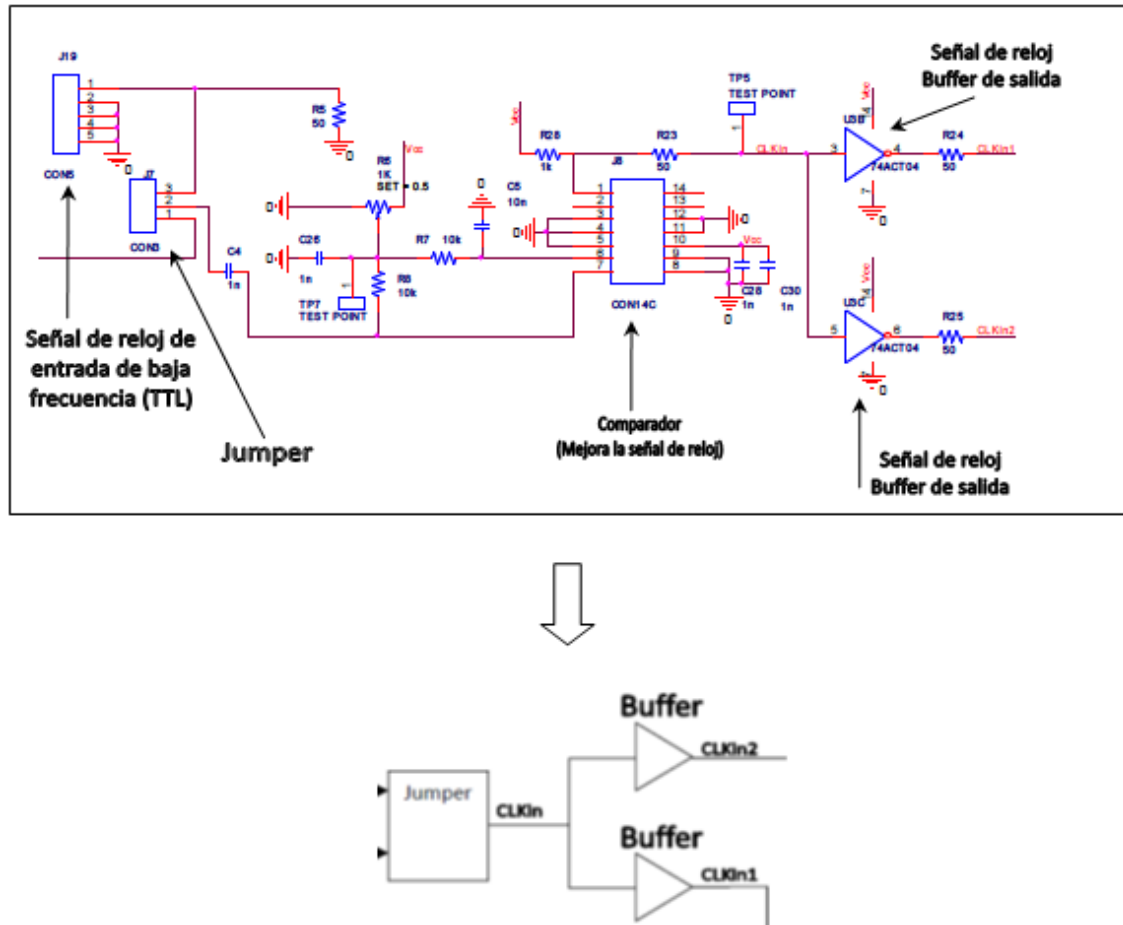


Figura 5.4: Circuito generador de la señal de reloj

Bloque del generador de fases para el filtro paso bajo:

Esta parte del circuito eléctrico consigue la creación de cuatro fases de reloj mediante una única señal de entrada, para ello se basa en la utilización de un registro de desplazamiento de 8 bits, con este circuito se obtienen 8 salidas que serán señales cuadradas con un ciclo de trabajo del 50% pero separadas un cierto periodo de tiempo entre ellas, lo que se traduce en 8 señales cuadradas diferentes. Mediante la distinta combinación de estas señales a través de puertas lógicas se podrán obtener las cuatro fases deseadas que consigan controlar el filtro sin necesidad de usar ningún tipo de microprocesador para conseguirlas, únicamente mediante el uso de circuitos discretos comunes. La obtención de estas fases se explicará detalladamente en el apartado de cálculos teóricos incluida en esta parte del proyecto.

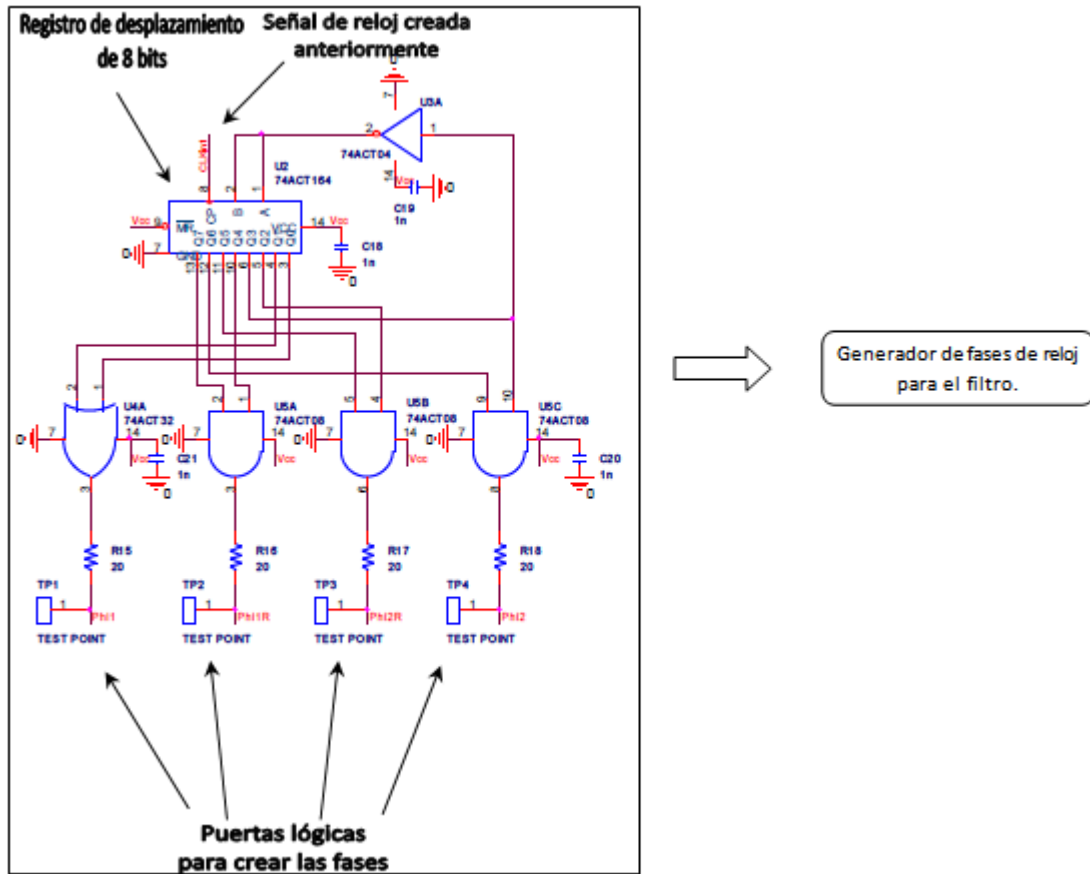


Figura 5.5: Bloque para el generador de fases.

Bloque del filtro paso bajo:

El bloque del filtro de paso bajo es el bloque sobre el cual se ha estado hablando durante el todo el trayecto del documento. Como se puede ver en este bloque, están todos los componentes de los que se han estado hablando, los tres condensadores principales, cada uno con sus dos interruptores de carga y descarga respectivamente (excepto el primer condensador que tiene un interruptor más para la realimentación), también son identificables los biestables, los cuales serán biestables tipo D, configurados para funcionar como si fueran biestables RS. Los comparadores están ambos integrados en un único circuito integrado, de ahí que sólo se vea un único encapsulado para ellos. Lo más destacable que habría que comentar es la entrada Sigma-Delta al circuito, la cual se observa que proviene de una puerta lógica AND, esto es simplemente una medida de seguridad para que el circuito sólo sea cargado cuando la fase 1, que se corresponde con la carga de los condensadores, el motivo del uso de esta puerta AND es que hace que cuando la fase Φ_{11} esté a nivel alto, ésta deje pasar a la señal de entrada al circuito y así cargar los condensadores C_1 y C_3 .

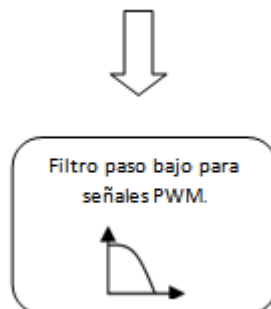
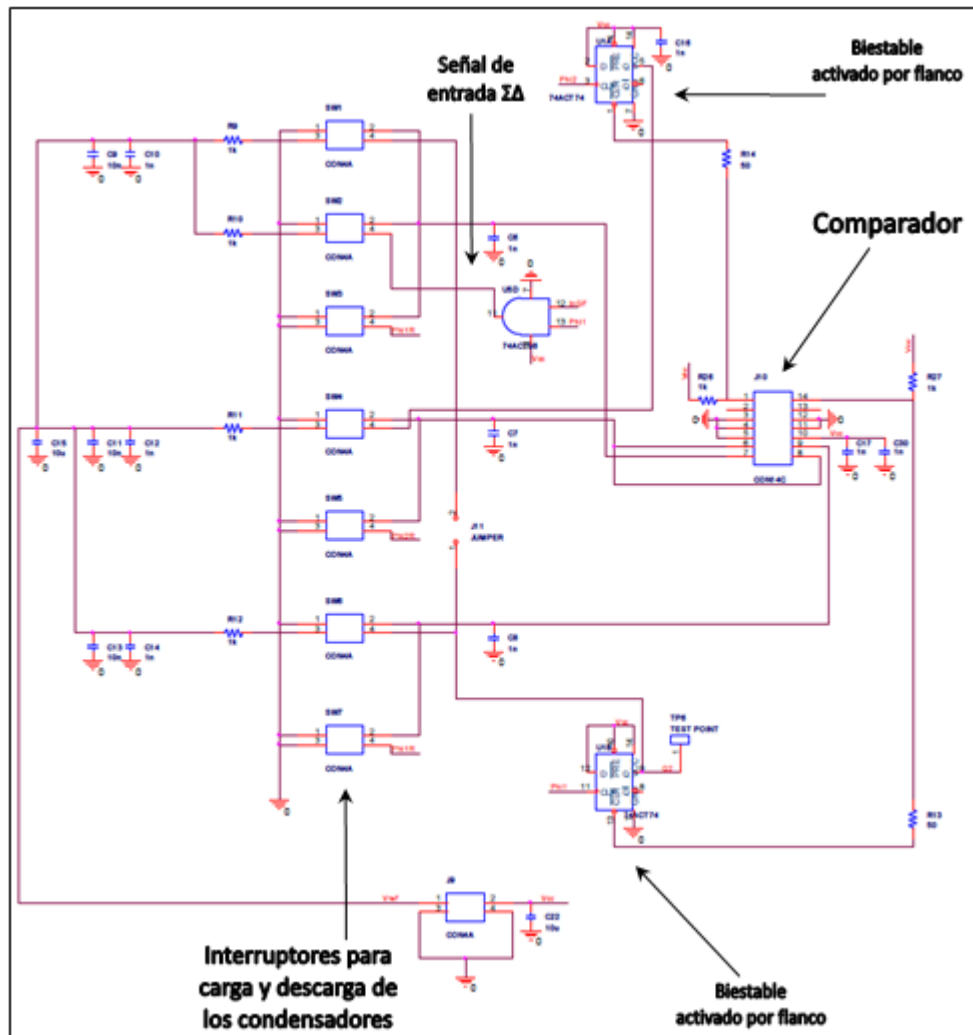


Figura 5.6: Bloque del filtro paso bajo / célula de retraso.

Bloques de salida:

El primer circuito demostrador tendrá dos salidas posibles. La salida 1 (Output1), la cual realiza una modulación AM de baja frecuencia, utilizando la señal de reloj directamente proporcionada por el bloque generador de reloj y la señal de salida del filtro. Y por último la salida 2 (Output2), la cual es simplemente la señal Sigma-Delta filtrada para eliminar gran parte de su ruido de cuantificación y así poder utilizarla para otros cometidos (Como por ejemplo control de amplificadores tipo D).

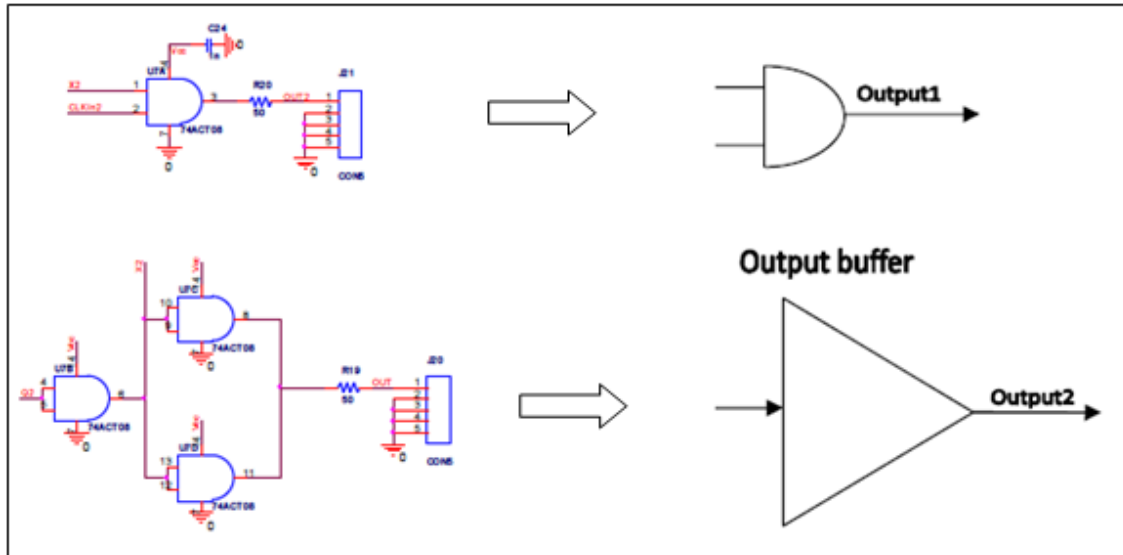


Figura 5.7: Bloques de salida del circuito.

5.1.2.- Cálculos necesarios para la construcción del circuito.

Cálculo de R y C y su correspondencia con p y g.

Como anteriormente se ha explicado a lo largo del documento, hay una correspondencia directa bastante importante entre el valor de los componentes resistivos y capacitivos que hay en el circuito con los coeficientes p y g que definen la función de transferencia que representa el funcionamiento del filtro paso bajo.

La relación es la siguiente, aunque se haya explicado anteriormente se expondrán de nuevo:

Constantes de tiempo para los sistemas RC:

Para los bloques RC de entrada $\rightarrow \tau_{ai} = R_{ai}C_{ai}$.

Para los bloques RC del condensador $C_3 \rightarrow R_cC_c$.

Como se ha comentando anteriormente, el condensador C_2 no tiene ningún tipo de intervención en los coeficientes p y g tratados.

Estos coeficientes vendrán dados por la siguiente relación:

$$g = \frac{\tau_c}{\tau_{A1}} \text{ Y } p = \frac{\tau_c}{\tau_{A2}}$$

Como la principal misión del proyecto es la realización de un demostrador capaz de mostrar un funcionamiento que sea posible implementar en un chip, se ha buscado que se pudiera realizar con componentes fáciles de encontrar y a frecuencias lo más elevadas posibles para simular de la manera más fiel posible como sería su

funcionamiento en condiciones normales de operación. Por ello se ha buscado que el circuito funcionara a frecuencias dentro del rango de los MHz, ya que aunque un chip sería capaz de funcionar en frecuencias superiores a los GHz, con circuitos discretos es lo máximo que se puede exprimir de ellos.

Por lo tanto el objetivo principal sería conseguir que el circuito funcionara a velocidades con frecuencias de MHz, por este motivo los condensadores tendrán un valor de $C_1=C_2=C_3\approx 100\text{pF}$ y las resistencias serán potenciómetros que trabajen en un rango de $R_1=R_2=R_3=0$ a $10\text{K}\Omega$. De esta forma la constante de tiempo RC podrá variar entre 1MHz y 10MHz, que es aproximadamente el rango de frecuencias en el cual se quiere que el circuito funcione para el demostrador.

El siguiente paso sería el cálculo de los coeficientes p y g, aunque sobre esto no podríamos hablar de un cálculo fijo para ellos, ya que sus valores siempre serán modificables mediante los potenciómetros instalados de tal forma que pueda encontrarse el punto de funcionamiento del circuito en el que estos coeficientes hagan que el filtro opere en condiciones óptimas. El cálculo teóricos de estos valores sería extremadamente complejo debido a sus ecuaciones, por ello lo más práctico es la realización de barridos para encontrar los puntos en los que sus funciones de filtrado se maximizan.

Cálculo de puertas lógicas para el circuito generador de fases.

En este apartado se mostrará cómo se calcularon las puertas lógicas para la creación de las cuatro fases necesarias para el funcionamiento del filtro, mediante el uso de un registro de desplazamiento de 8 bits, como se comentó en la explicación del circuito eléctrico. Como se dijo un registro de 8 bits proporciona 8 señales cuadradas desplazadas en el tiempo lo que da una gran gama de posibles combinaciones para la creación de las fases necesarias para el filtro, como se puede ver en la siguiente simulación mediante OrCAD, la solución del problema quedaría de la siguiente forma.

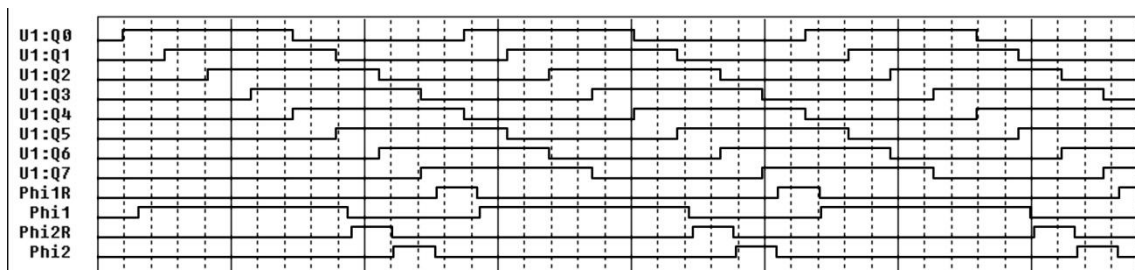


Figura 5.8: Generación de las fases mediante el registro de desplazamiento.



En la simulación de la figura 5.8 las señales cuya denominación van de Q0 a Q7 son las correspondientes a las salidas de cada uno de los bits del registro de desplazamiento, justo debajo de éstas se pueden ver las fases deseadas para el funcionamiento del filtro. Cabe destacar en esta simulación como la duración de la fase Phi1 es superior a las de las demás, esto tiene un sentido lógico y es que en esta fase se hacen las cargas críticas en los condensadores C_1 y C_3 por lo que conviene que éstos tengan un tiempo suficiente para realizar la carga sin correr peligro de que ésta se quede a medias por una fase demasiado corta, de esta forma se decidió que alargar esta fase proporcionaría un mejor funcionamiento del filtro así como un posible mayor rango de ciclo de trabajo para las señales de entrada.

Una vez explicado esto se comentará como se genera cada una de las cuatro señales de reloj necesarias:

Phi1: Se consigue mediante la realización de la operación OR entre las salidas Q0 y Q1. (Como se puede ver en la simulación la señal Phi1 no concuerda exactamente en el tiempo con la OR inmediata entre las salidas comentadas, esto es debido a los retrasos que proporcionan las puertas lógicas a la hora de operar).

Phi1R: Se consigue mediante la operación lógica AND entre las salidas Q7 y Q4.

Phi2: Corresponde a la AND entre Q6 y Q3.

Phi2R: Esta última fase será la operación AND hecha sobre las señales Q5 y Q2.

De esta forma queda explicada detalladamente el cómo se consigue que con una única señal de reloj se consigan crear cuatro distintas que hagan funcionar al circuito como debe, por lo tanto el siguiente apartado sobre el hardware del circuito será qué componentes fueron los elegidos para crear la placa que se incluyera en el demostrador.

5.1.3.- Selección de componentes.

En este apartado se mostrará el conjunto de componentes que formarán la placa de circuito así como la selección del generador de patrones que cree las señales que serán introducidas al filtro. De esta forma se dará una visión detallada del por qué el demostrador está construido de la forma en la que se presenta en el proyecto en lugar de otro tipo de configuración aleatoria.

Conectores de señal:

Los conectores para introducir la señal al circuito serán conectores SMA, puesto que presentan un mejor aislamiento de la señal y son específicos para la transmisión de señales de alta frecuencia como las que se usarán en el demostrador, aislándolo de posibles ruidos y atenuaciones.

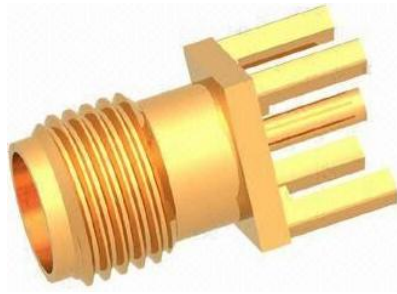


Figura 5.9: Conector SMA recto.

Circuito preescalador:

El circuito elegido para realizar el preescalado de la señal será el integrado MC12026A. El principal motivo para su elección es su capacidad de dividir señales de hasta 1.1 GHz, muy superiores a las frecuencias de las señales con las que vamos a trabajar, además, su tensión de funcionamiento acepta 5V que será la tensión a la que trabajarán los circuitos del sistema, además por último y como característica más importante sería destacar su capacidad para dividir la señal de entrada entre 8,9,16 ó 17, según el control que hagamos sobre sus pines de selección de divisor de frecuencia, dando una gran versatilidad al demostrador.

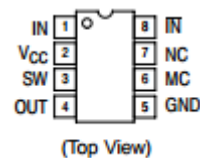
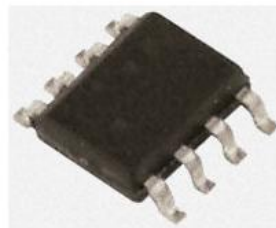


Figura 5.10: Circuito preescalador MC12026A.

Registro de desplazamiento: Para la elección del registro de desplazamiento se optó por el integrado 74ACT164 debido a que cumple la especificación de que sea un registro de 8 bits, además, el motivo de elegir la serie de circuitos ACT es debido a que son los componentes discretos que son capaces de funcionar con señales de mayor velocidad, característica clave en el demostrador.

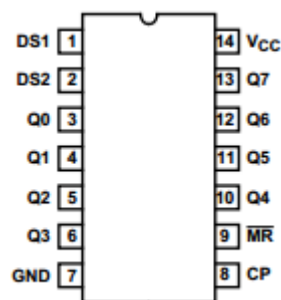
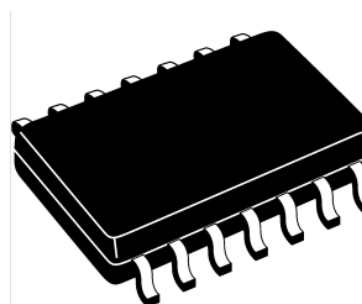


Figura 5.11: Registro de desplazamiento de 8 bits 74ACT164.

Puertas lógicas e inversores: Para la selección de estos componentes la principal característica buscada fue la capacidad para trabajar con señales con la mayor frecuencia posible, por ello se eligieron circuitos integrados de la familia ACT, como se comentó para el registro de desplazamiento, al ser los que mejor respuesta tienen ante señales de alta frecuencia. La gama 74ACT32 para las puertas OR, 74ACT08 para las puertas AND y 74ACT04 para los inversores.

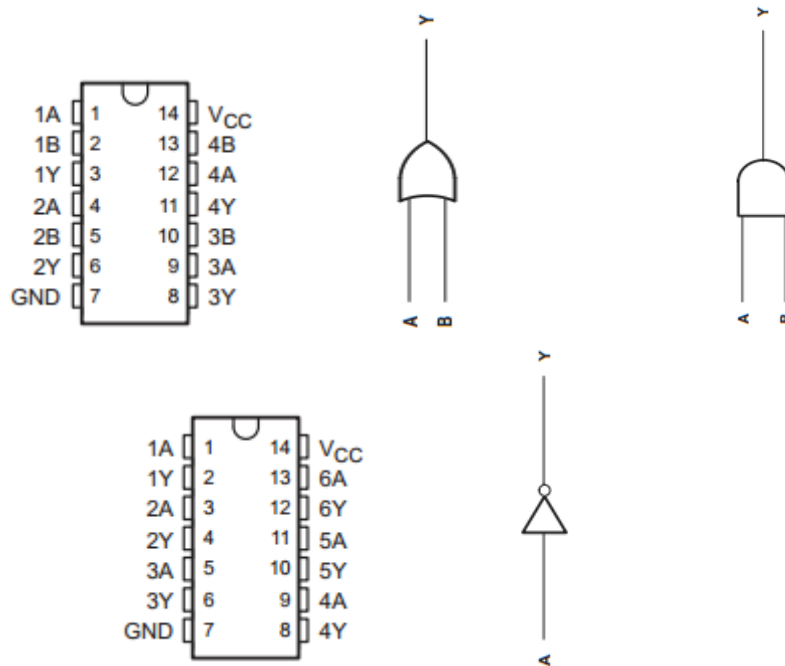


Figura 5.12: Circuitos 74ACT32, 74ACT08 y 74ACT04.

Comparador: Al igual que para los anteriores circuitos, el comparador necesitará una velocidad de operación ultra rápida, de tal forma que sea capaz de permutar a niveles altos y bajos de forma suficientemente rápida como para que los retrasos en la activación de los interruptores sean lo bastante pequeños como para que las copias sean prácticamente exactas. Por este motivo se escogió el comparador AD8612, ya que su máximo retardo en propagación es del orden de los 2 nanosegundos, además, permite señales de entrada de 100 MHz, más que suficiente para las que serán manejadas por el circuito, además, es compatible con tensión de 5V, lo cual lo hace compatible con todos los demás componentes.

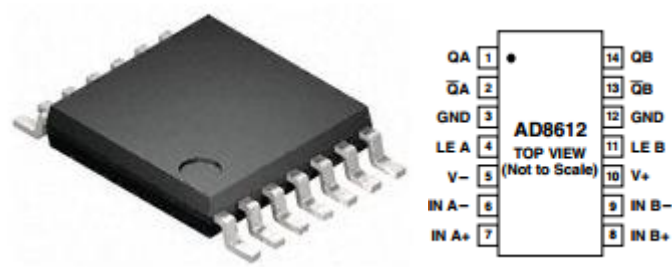


Figura 5.13: Comparador AD8612.

Biestables: Para la selección de los biestables, se escogió que fueran biestables tipo D 74ACT74, ya que con una configuración determinada de los mismos, se podrían imitar el funcionamiento de un biestable tipo RS que se necesitaba para que el filtro funcionara según las definiciones teóricas propuestas.

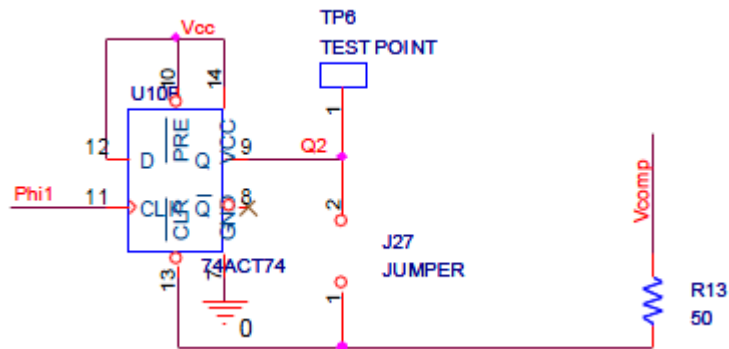


Figura 5.14; Biestable tipo D en configuración de funcionamiento como biestable RS.

Por último, y como antes ha sido explicado, se escogieron de la familia ACT debido a su velocidad de funcionamiento.

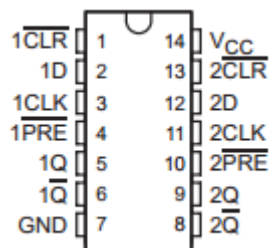


Figura 5.15: Circuito integrado 74ACT74.

Interruptores: Para la instalación de los interruptores que realizaran la carga y descarga de los condensadores no se utilizaron circuitos integrados específicos de interruptores como en los apartados anteriores, en este caso se optó por la utilización de transistores creados específicamente para funcionar como interruptores, el

principal motivo de esta elección es que la velocidad de funcionamiento de estos transistores superaban por mucho a la de los posibles circuitos que pudieran sustituirlos. Por lo tanto se eligieron los transistores de la familia BSS83, ya que su velocidad de funcionamiento conmutaciones de tan solo 1 nanosegundo, además, como parámetro extremadamente importante, al mismo nivel que la velocidad de funcionamiento es que su capacidad de acoplamiento al circuito es únicamente de 0.6pF, por lo que no interacciona con los condensadores de carga y descarga al estar dos niveles de magnitud por debajo de ellos, por otra parte su resistencia de encendido es de 45Ω por lo que su interferencia con las resistencias de los circuitos RC es despreciable puesto que está más de dos órdenes de magnitud por debajo de las mismas. Todo esto hace que sean los interruptores con mejores características para ser seleccionados.

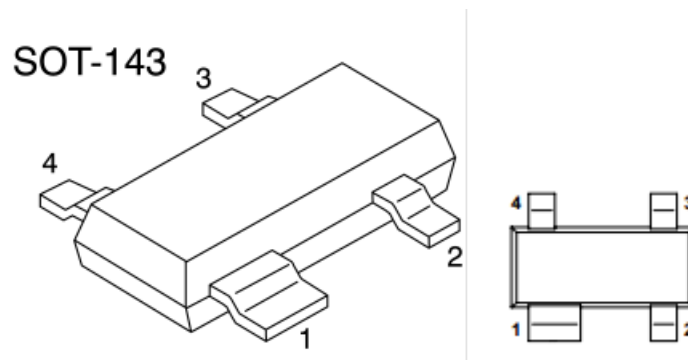


Figura 5.16: Transistores/Interruptores BSS83.

Una vez concluida la explicación detallada sobre la selección de los componentes del circuito, se pasará a mostrar las simulaciones realizadas sobre el funcionamiento del circuito eléctrico para por último realizar el diseño de la placa que será construida.

5.1.4.- Simulaciones del circuito eléctricos:

Las simulaciones del circuito eléctrico para el sistema del primer demostrador se harán mediante el software de diseño CAD OrCAD lo cual proporciona una serie de ventajas como la sencillez para operar con él pero por el contrario la desventaja de la imposibilidad de demostrar el funcionamiento del circuito introduciéndole señales moduladas Sigma-Delta, ya que no es capaz de simular esas señales. Sin embargo hay una forma de hacer simulaciones que permitan comprobar un correcto funcionamiento del circuito, y es hacerlo funcionar como integrador, ya que para ello únicamente necesita como entrada una señal cuadrada constante como se explicó en el apartado 3.2 del documento. Por lo tanto, en las simulaciones se hará funcionar al circuito como integrador. Para realizar las simulaciones, se harán tres de ellas en las

cuales las primeras corresponderán a un circuito más ideal y la última a un circuito más real. El esquemático utilizado para la primera simulación será el mostrado en la figura 5.17.

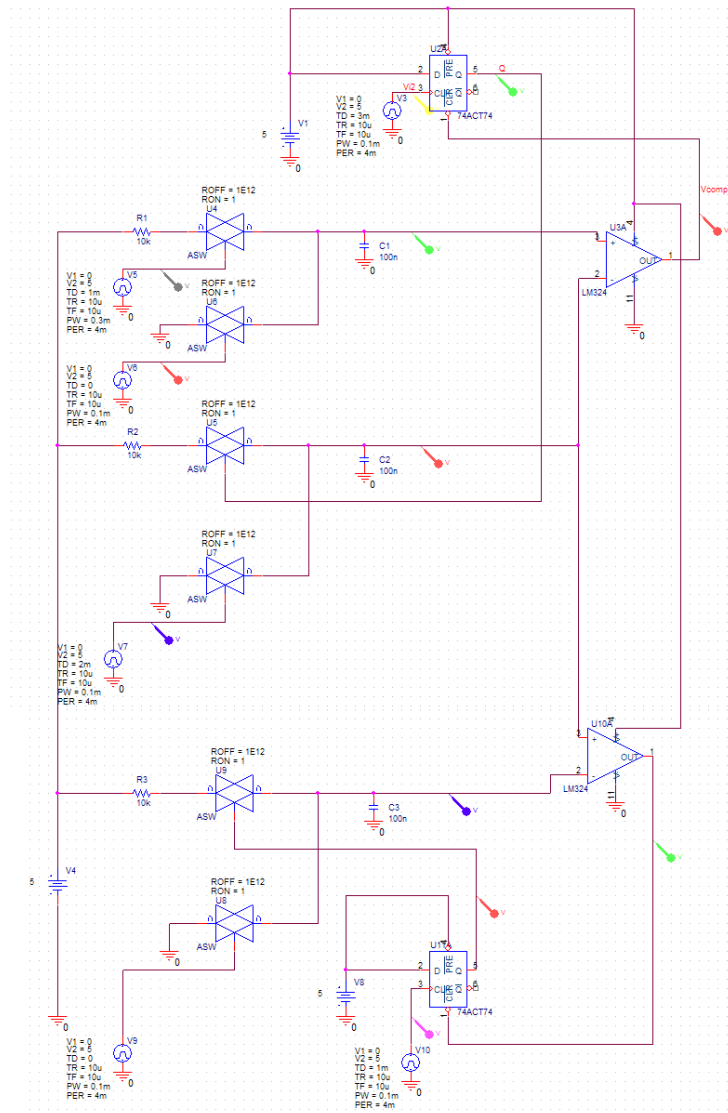


Figura 5.17: Esquemático ideal para primera simulación.

Como se puede ver en este esquemático, los interruptores no corresponden con los BSS83 mostrados en el apartado de selección de componentes, en su lugar son unos interruptores ideales cuya resistencia cuando están activados es de 0Ω mientras que cuando está desactivado es del orden de $1T\Omega$. De esta forma se puede asegurar en una primera simulación que los interruptores no intervienen en el correcto funcionamiento del circuito, por otra parte, las fases de reloj no llegan del circuito generador de fases sino que en su lugar éstas vienen desde unas fuentes conectadas directamente a los interruptores y biestables que las generan de forma perfecta, sin retrasos ni posibles influencias del circuito, por lo tanto simulando este circuito como integrador se obtendrán los siguientes resultados.

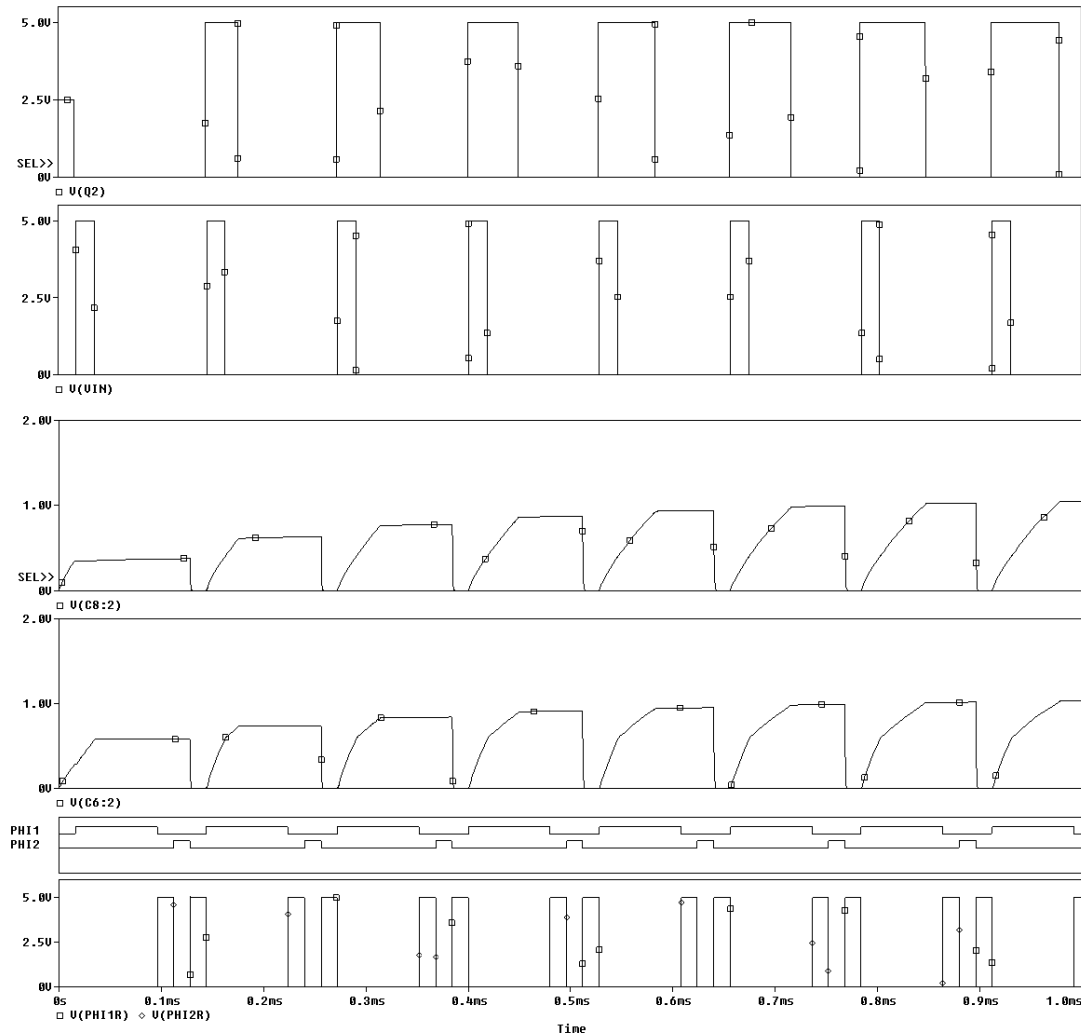


Figura 5.18: Simulación del esquema usando componentes ideales.

La simulación de la figura 5.18 muestra perfectamente el funcionamiento del filtro como integrador, la señal de entrada VIN es una señal cuadrada con un ciclo de trabajo constante, esto hace que en cada uno de los ciclos de funcionamiento, los condensadores vayan cargándose poco a poco a tensiones más elevadas, haciendo que los pulsos de salida se hagan más anchos, ya que el tiempo necesario para realizar la copia de las señales es mayor. Puede observarse también como en las fases Phi1 y Phi2 los condensadores son cargados mientras que en las fases Phi1R y Phi2R éstos son descargados. Además, si se observa detalladamente la tensión en el primer condensador (V(C6:2)), se puede ver como en el momento en el que el pulso de entrada se encuentra con el pulso realimentado, la pendiente de carga es diferente, más rápida, esto es debido a que las resistencias de carga se acoplan en paralelo dando una resistencia total menor y por lo tanto una constante de tiempo más rápida, haciendo que la pendiente de carga sea mayor, otro signo de que el circuito funciona correctamente.

Simulación 2: Para la siguiente simulación, se sustituirán las señales ideales que hacían las cuatro fases de carga y descarga del circuito y en su lugar se colocará el circuito generador de fases que se implantará luego en el circuito real (Figura 5.19).

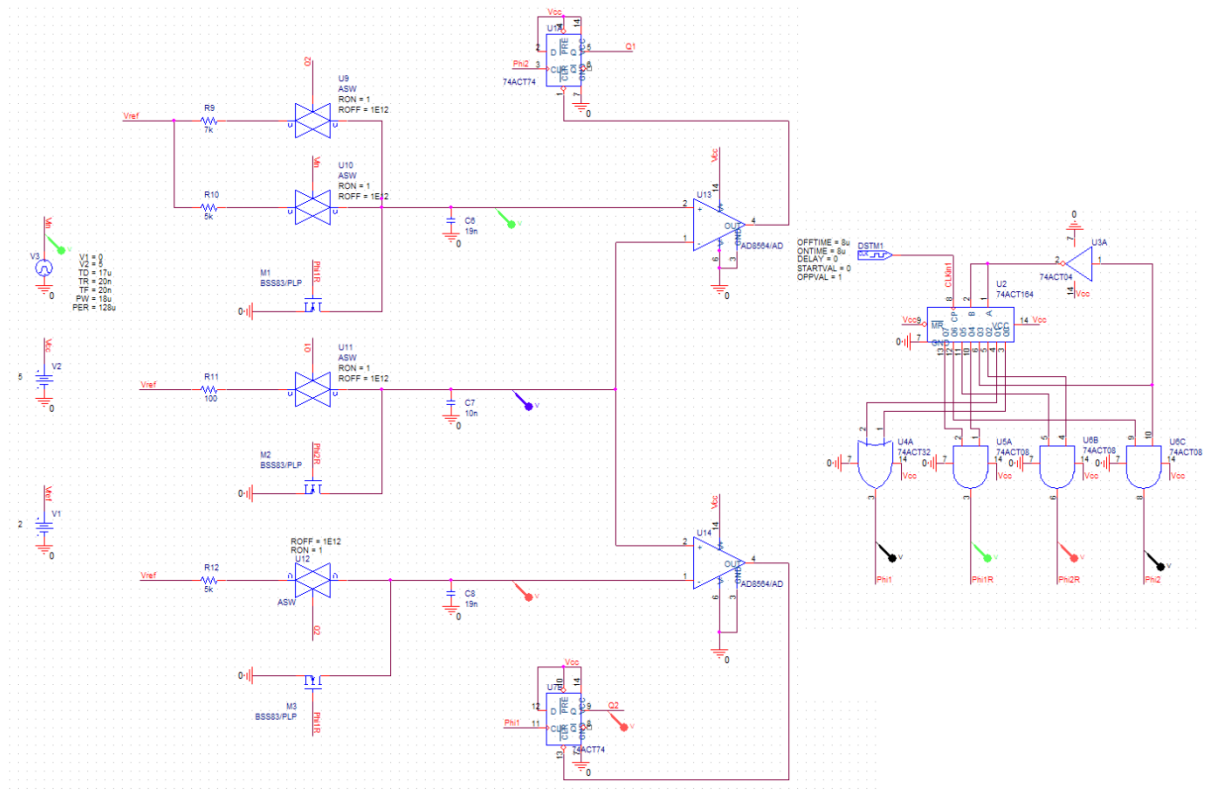


Figura 5.19: Circuito de simulación con generador de fases real.

En este circuito como se ha explicado, se han eliminado las fuentes ideales que realizaban las labores de las fases sustituyéndolo por el generador de fases real, la simulación del circuito como integrador dará el siguiente resultado.

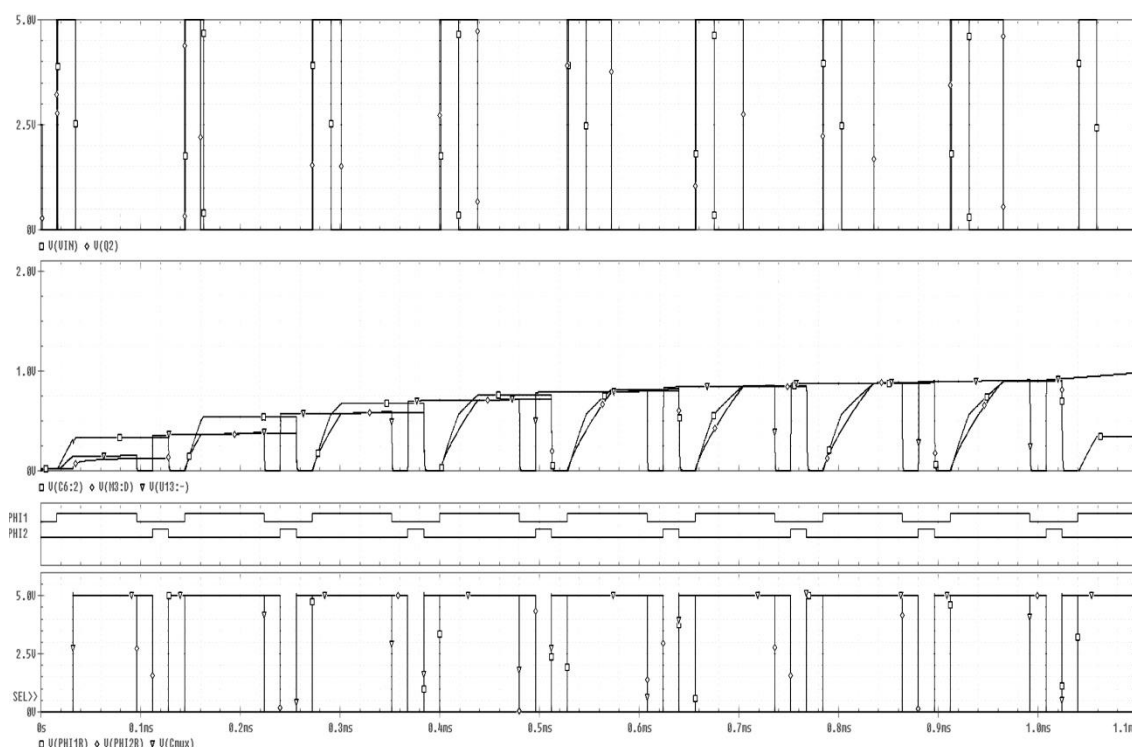


Figura 5.20: Funcionamiento del filtro con generador de fases real.

La inclusión del generador de fases en el circuito eléctrico no supone ningún inconveniente para el mismo como puede observarse y su funcionamiento sigue la línea que seguía en la simulación de la figura 5.18, el filtro realiza un funcionamiento como integrador como se suponía al introducir una señal cuadrada constante al circuito, la salida tiene un crecimiento continuo hasta que ésta satura y permanece constante al no poder crecer más. De esta forma se puede observar como su funcionamiento continúa siendo el esperado.

Simulación 3: Para la siguiente simulación la única modificación realizada sobre la anterior es la de el cambio de los interruptores ideales por los transistores BSS83 que serán utilizados realmente en el circuito, en este caso es previsible que las cargas y descargas de los condensadores no sean tan ideales, es decir, las cargas en los mismos no se mantendrán absolutamente constantes, ya que al tener unas resistencias reales de carga y descarga la tensión irá disminuyendo lentamente durante la duración del ciclo hasta la siguiente carga.

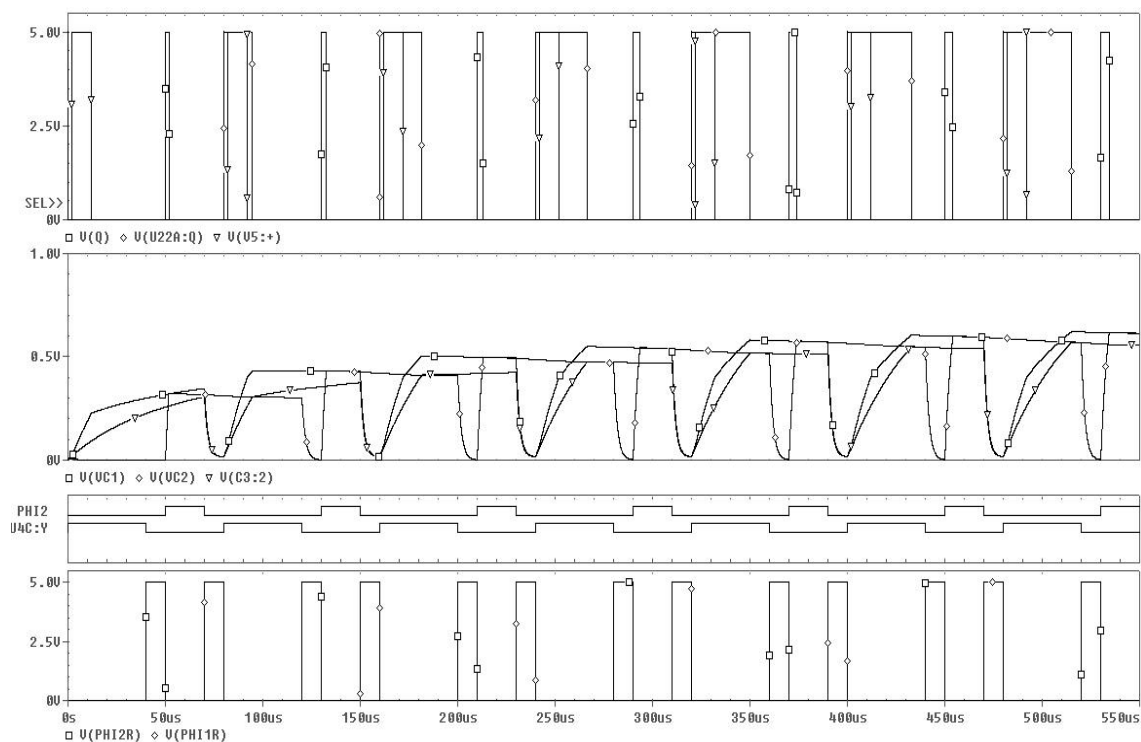


Figura 5.21: Simulación del circuito con los transistores BSS83 funcionando como interruptores.

Como se ha deducido en la introducción a esta simulación, si se observa con detenimiento los ciclos de carga y descarga de los condensadores, se puede ver como en este caso no son ideales como en los anteriores, la existencia de resistencias reales cuando el transistor está activo o inactivo son apreciables, como se ha dicho, cuando el condensador ha de mantener la tensión, ésta se va descargando poco a poco con el tiempo hasta que el condensador comienza un nuevo ciclo debido a que la resistencia de apagado del sistema no está en el orden del Tera, además también puede observarse como la descarga de los condensadores no se hace instantáneamente a tierra como se realizaba en los sistemas anteriores sino que tiene una pequeña pendiente de descarga hasta que su tensión pasa a ser nula. Sin embargo, como resultado final de la simulación está claro que el circuito funciona perfectamente como integrador, puesto que el ancho de pulso de su salida crece como estaba previsto que lo hiciera y como ha venido haciendo en las demás simulaciones, cerciorando así que el funcionamiento del circuito con componentes reales puede implantarse ya que su funcionamiento sería real.

Una vez diseñado el circuito eléctrico, habiendo elegido los componentes necesarios para su implantación, y comprobando mediante simulaciones que con estos componentes el sistema funcionaría correctamente, el último paso sería el diseño de la placa PCB del circuito, que será el último apartado hardware para el primer demostrador.

5.1.5.- Diseño PCB del circuito eléctrico.

Como se ha explicado, en este apartado se desarrollará el diseño de la placa de circuito que será fabricada para realizar las pruebas necesarias en el funcionamiento del demostrador. Se determinará el número de capas, las huellas utilizadas, los padstacks de los componentes etc. Este será el último paso antes de realizar la batería de pruebas que confirmen los postulados teóricos expuestos en el documento.

El diseño de la PCB fue realizado con el software OrCAD Layout el cual pertenece a Cadence al igual que el software de simulación de circuitos eléctricos OrCAD Capture utilizado para la simulación del sistema. El hecho de utilizar este software es debido simplemente a la compatibilidad entre los circuitos eléctricos simulados mediante el software Capture con el software de desarrollo de PCB a la hora de realizar modificaciones tanto en las huellas como en los componentes así como el ancho de las rutas y los pads. Clicando sobre ellos en el circuito eléctrico de simulación se seleccionarán automáticamente en la placa de circuito que se está creando, evitando posibles confusiones.

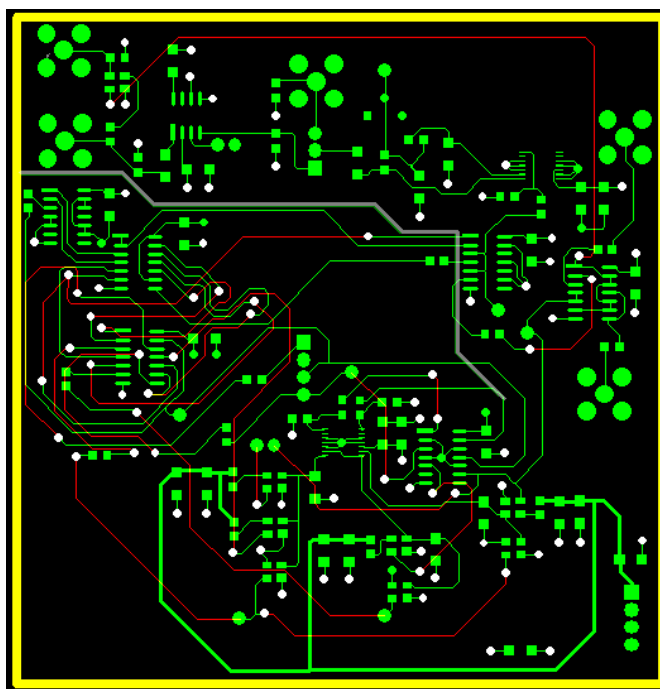


Figura 5.22: Layout de la placa de circuito para el demostrador 1.

Huellas de los componentes.

La mayoría de las huellas de los componentes vienen de forma predefinida en OrCAD al ser un tipo de componentes normalizados, es normal que sus huellas vengan diseñadas por defecto. En cambio, para componentes específicos como el comparador dual de alta velocidad AD8612 la huella tuvo que ser creada específicamente para su



posterior implementación, por lo tanto, la tabla que relaciona cada componente con su huella será la siguiente:

Componente	Descripción	Encapsulado elegido
AD8611	Comparador dual de alta velocidad	SOG.050/8/WG.244/L.200
74ACT164	Registro de desplazamiento	SOG.050/14/WG.244/L350
74ACT08	Puertas AND	SOG.050/14/WG.244/L350
74ACT04	Inversores	SOG.050/14/WG.244/L350
74ACT32	Puertas OR	SOG.050/14/WG.244/L350
74ACT74	Biestables tipo D	SOG.050/14/WG.244/L350
74ACT00	Puertas NAND	SOG.050/14/WG.244/L350
MC12026A	Preescalador de doble módulo de 1.1GHz	SOG.050/8/WG.244/L.200
BSS83	Transistores de conmutación	SM/SOT143_1234
Resistencias SM		SM/R_0805
Condensadores SM		SM/C_1206
Conectores SMA		RF/SMA/V
Conectores para PCB de 4 entradas		POLCON.100/VH/TM1SQS/W.300/4
Jumper de 3 entradas		POLCON.100/VH/TM1SQS/W.300/3
Jumper de 2 entradas		Jumper100
Test Points		TP

Tabla1: Huellas de componentes para placa de demostrador 1.

A la hora de seleccionar los encapsulados, la decisión ha de comprobarse mediante la comparación del encapsulado definido por el software de simulación y el que en realidad aparece en las hojas de características de los componentes, aunque en la gran mayoría de los casos suele ser el mismo.

Ancho de las pistas:

Para la construcción del circuito se usaron dos anchos de pista distintos, uno para el rutado de las pistas de alimentación y tierra y otro para el rutado de las pistas de conexión entre distintos componentes.

Para el rutado de las pistas de alimentación y tierra, el ancho fue fijado en 25mils, de forma que es posible asegurarse de que no hay ningún problema a la hora de que estas pistas soporten una corriente algo más elevada que las demás pistas de conexión normales. Además, como se puede observar en el layout principal, el rutado de las pistas de alimentación está realizado en estrella, de tal forma que así es posible asegurarse de que no haya alguna pista que soporte una gran cantidad de corriente durante algún tramo del circuito, ahorrando una posible fuente de problemas en el mismo.



Para el rutado de las pistas de conexión, el ancho de las mismas está fijado en 15mils, ya que la corriente que circula por ellas es bastante menor que la que lo haría en las pistas de alimentación y tierra, por lo tanto el ancho puede verse disminuido para facilitar las operaciones de rutado del sistema.

El ancho de las pistas quedaría resumido en la siguiente tabla:

Nombre de la red	Ancho de pistas inicial (mils)	Ancho de pistas final (mils)	Routing Enabled
Redes de no alimentación	12	15	Sí
Vref	12	25	Sí
Vcc	12	25	Sí
Gnd	12	25	Sí

Tabla 2: Ancho de las pistas para la placa de circuito del demostrador 1.

Pads de los componentes:

El tamaño de los padstacks así como de los huecos de los taladros del circuito (drills) también fueron modificados para una mayor facilidad a la hora del montaje y soldado manual de la placa. Los pads muestran todas las características principales que tienen los pines de cada una de las huellas de los encapsulados que se usan en el circuito. Las características de los padstacks son muy importantes ya que serían claves a la hora de que el soldado y taladrado del circuito sean realizados de forma satisfactoria.

Nombre del Pad	Encapsulado	Capa	Tamaño Final
SM.Ilb_pad9_1	SM/C_1206	TOP	W.60-H.60
SM.Ilb_pad10_1	SM/C_1206	TOP	W.60-H.60
SM.Ilb_pad5_1	SM/R_0805	TOP	W.50-H.50
SM.Ilb_pad52_1	SM/SOT143_1234	TOP	W.40-H.56
SM.Ilb_pad54	SM/SOT143_1234	TOP	W.40-H.56
SM.Ilb_pad53	SM/SOT143_1234	TOP	W.48-H.56
SOG.Ilb_pad5_1	SOG.050/8/WG.244/L.200	TOP	W.94-H.25
	SOG.050/14/WG.244/L350	TOP	
SOG.Ilb_pad7_1	SOG.050/8/WG.244/L.200	TOP	W.94-H.25
	SOG.050/14/WG.244/L350	TOP	
T1_1	RU14	TOP	W.10-H.39
PCONT100T.Ilb_pad1	POLCON.100/VH/TM1SQS/W.300/4	TOP	W.62-H.62
		BOTTOM	W.62-H.62
		GND	W.82-H.82
		PWR	W.82-H.82
		DRILL	W.42-H.42
	POLCON.100/VH/TM1SQS/W.300/3	TOP	



BOTTOM			
GND			
PWR			
DRILL			
PCONT100T.IIb_pad2	POLCON.100/VH/TM1SQS/W.300/4	TOP	W.62-H.62
		BOTTOM	W.62-H.62
		GND	W.82-H.82
		PWR	W.82-H.82
		DRILL	W.42-H.42
POLCON.100/VH/TM1SQS/W.300/3		TOP	
		BOTTOM	
		GND	
		PWR	
		DRILL	
J1	JUMPER100	TOP	W.62-H.62
		BOTTOM	W.62-H.62
		PWR	W.80-H.80
		GND	W.80-H.80
		DRILL	W.38-H.38
55R36	TP	TOP	W.55-H.55
		BOTTOM	W.55-H.55
		PWR	W.65-H.65
		GND	W.65-H.65
		DRILL	W.36-H.36

Tabla 3: Tamaño de los padstacks en cada una de las capas del circuito.

Capas de la PCB:

El diseño de la PCB está realizado por cuatro capas. Dos de ellas destinadas a soportar las redes de alimentación y masa del circuito y otras dos destinadas al rutado de las demás redes del mismo. Para las capas que soportas los planos hubo que crear un obstáculo “Cooper Pour” en ella, que es un baño de cobre para poder así unificar todas las conexiones en la propia capa (Planos de masa y alimentación).

Capa	Configuración inicial	Configuración final	Obstáculo	Características del obstáculo
TOP	Routing	Routing	No	
GND	Plane	Routing	Cooper pour	Unión a red: 0 Clearance: 15 Width: 50
PWR	Plane	Routing	Cooper pour	Unión a red: Vcc Clearance: 15 Width: 50
BOTTOM	Routing	Routing	No	

Tabla 4: Capas que conforman la placa de circuito.



Montaje:

Por último se mostrarán una serie de fotografías de la placa una vez finalizada y lista para la realización de las pruebas necesarias para comprobar su funcionamiento. Cada uno de los componentes vendrá xerografiado para dotar de mayor facilidad de reconocimiento de los componentes a la hora de realizar el montaje y las distintas operaciones que haya que realizar con la misma.

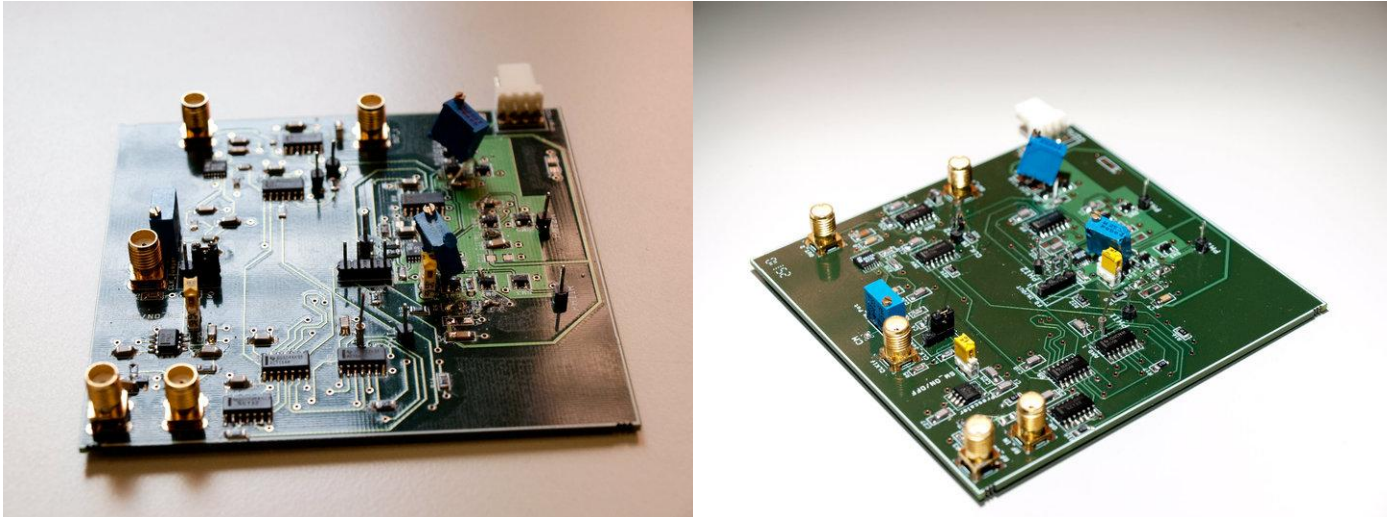


Figura 5.23: Placa de circuito para el primer demostrador con montaje completo.

A la placa de la figura 5.23 habrá que realizarle las conexiones con los demás componentes del demostrador que la permitan funcionar, de tal forma que el banco de trabajo quedará tal y como se ve en la figura 5.24, teniendo la placa conectada a los diferentes aparatos de medida y al generador de patrones que introduzca la señal Sigma-Delta modulada.

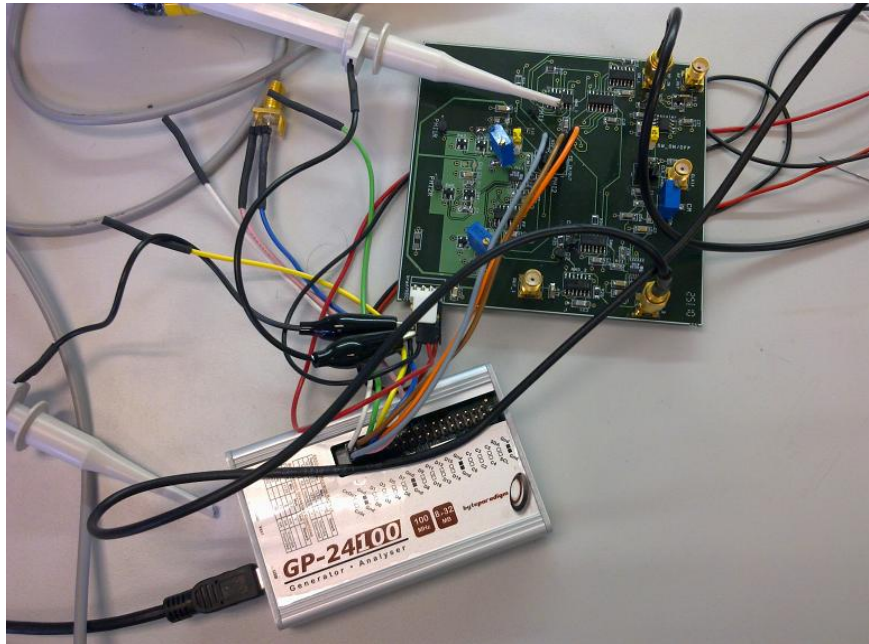


Figura 5.24: Placa conectada al generador de patrones y lista para la realización de pruebas.

5.2.- Diseño hardware de demostrador 2.

A la hora de la descripción sobre el hardware del segundo demostrador se seguirán los mismos pasos que los seguidos para el primer demostrador pero en este caso sólo se hará hincapié en los conceptos y componentes que realmente sean diferentes a los comentados en la primera parte de este apartado del documento.

5.2.1.- Circuito eléctrico completo para la placa del demostrador 2.

Como se hizo para el primer demostrador, primero se mostrará un diagrama de bloques que dará una visión a más alto nivel para dotar de más sencillez la comprensión del sistema.

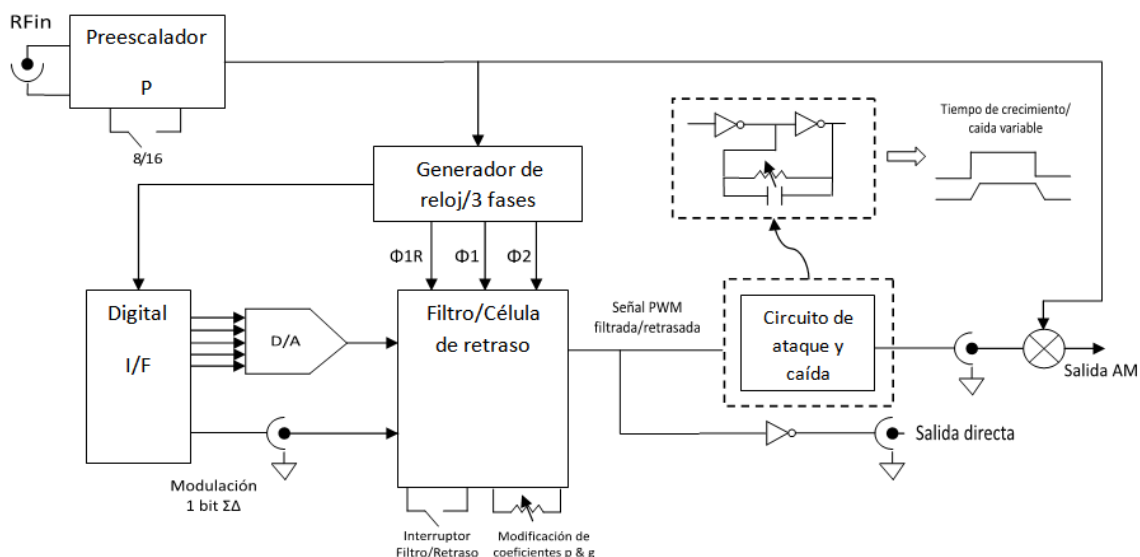


Figura 5.25: Diagrama de bloques para el demostrador 2.

Como se ha comentado durante el documento las principales diferencias en el caso del segundo demostrador son la sustitución de la entrada Sigma-Delta de un único bit por la implantación de una señal creada por un conversor digital analógico, que puede verse como el bloque D/A de la figura. Por otra parte puede observarse como las fases del circuito se han reducido tres en lugar de las cuatro anteriores debido a la simplificación del a célula de retraso. La última diferencia más notable sería la implantación en la placa de un circuito de ataque y caída que sea capaz de modificar las pendientes de las señales, cuyo objetivo es la reducción del ruido que envuelve a la señal como se ha venido explicando anteriormente.

Por lo demás el funcionamiento del sistema es similar al del primer demostrador. El circuito preescalador permite que el conjunto pueda alimentarse con una señal a alta frecuencia realizando diferentes divisiones de la misma permitiendo crear así las tres fases que permiten al circuito del filtro eliminar el ruido de la señal proveniente del DAC, la cual puede ser utilizada directamente o por el contrario realizar una modulación AM utilizando la señal de entrada de alta frecuencia.

Circuito eléctrico mostrado como esquemático:

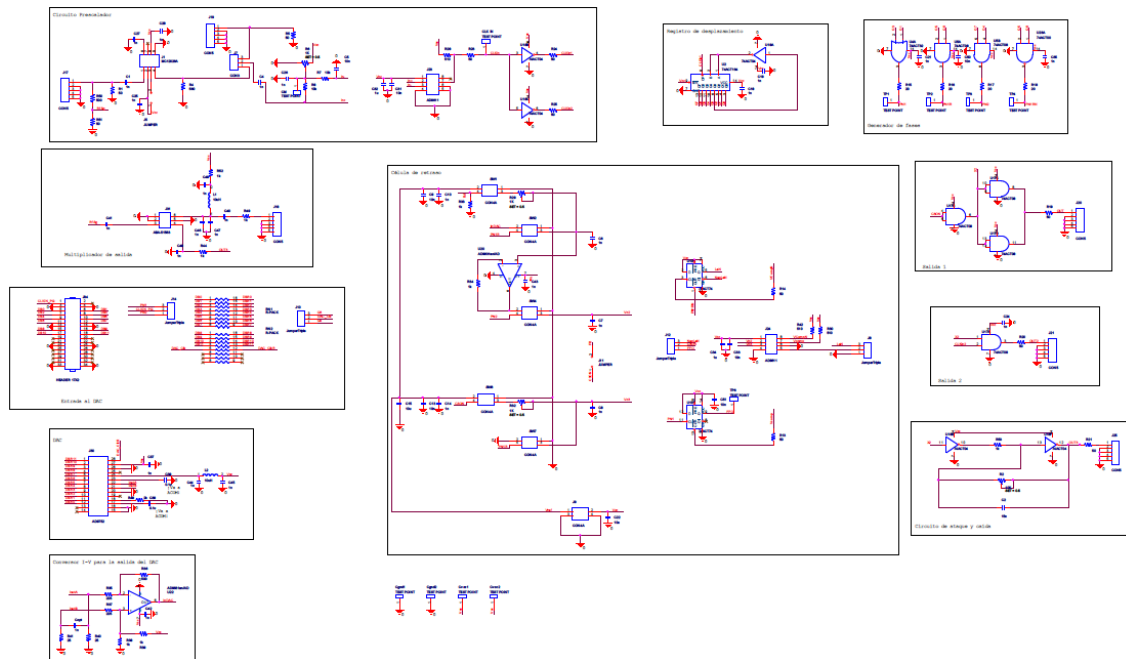


Figura 5.26: Circuito eléctrico para la placa del demostrador 2.

Si se compara el esquema de la figura 5.26 con respecto al de la figura 4.2 se puede observar como la complejidad del circuito ha aumentado aunque el filtro se haya simplificado, esto es debido a que la forma de controlar el conversor digital analógico es mucho más sofisticada, ya que su salida es en corriente y ha de ser transformada en tensión mediante un circuito adaptador. Por otra parte la inclusión del circuito de ataque y caída y la del modulador de radio frecuencia para señales AM hace que aumente el tamaño del sistema, así como aumentan sus funcionalidades.

El siguiente paso será explicar detalladamente cada uno de los bloques del sistema por separado.

Bloque del generador de fases para el filtro paso bajo (Actualizado):

El principio de funcionamiento de este circuito se mantiene igual que lo hacía para el primer demostrador, el motivo por el cual se explica de nuevo es que su configuración ha cambiado para realizar únicamente las tres fases necesarias en este caso. Analizando la figura puede verse como de nuevo hay cuatro puertas que dan cuatro salidas distintas, esto es debido a que Phi1RN es una salida que puede elegirse en lugar de Phi1R para modificar los anchos de pulso de las fases, aunque en la práctica no fue una salida usada, quedándose únicamente con Phi1, Phi1R y Phi2R.



Bloque del DAC:

El bloque que corresponde al convertor digital analógico es el que se encarga de procesar las señales provenientes del generador de patrones para obtener una señal analógica a su salida. El principal inconveniente que proporciona este convertor es que la salida que proporciona es una corriente convertida en lugar de directamente una tensión, de tal forma que se presenta la necesidad de la implantación de un circuito que transformara esa corriente en la tensión deseada para introducir al bloque de filtrado del sistema. Tanto la configuración de cada uno de los pines del DAC así como el circuito transformador de corriente en tensión están tomados directamente de los consejos e instrucciones proporcionadas por la hoja de características del componente, como se puede observar en los anexos.

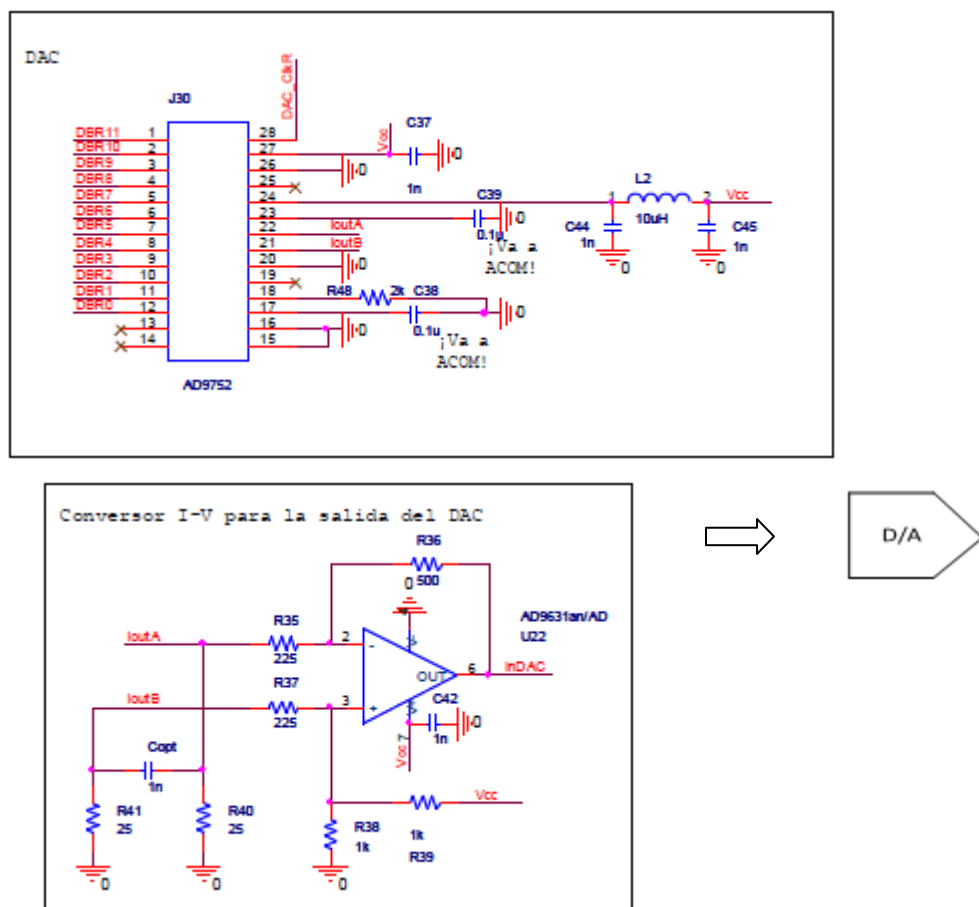


Figura 5.29: Conversor digital analógico y adaptador corriente tensión.

Bloque del filtro/célula de retraso:

Las modificaciones realizadas en este bloque fueron explicadas en el apartado 3.2 del documento, por lo que aquí se mostrará el circuito eléctrico que confirma esos cambios. En él puede observarse como el circuito ha sido bastante simplificado, reduciendo el número de interruptores, utilizando un único comparador en lugar del integrado doble que se usó en el anterior demostrador etc. Además puede verse el



amplificador operacional funcionando como buffer que se comentó para transferir directamente la tensión del condensador C_1 a C_2 de una forma más eficiente sin tiempos de carga.

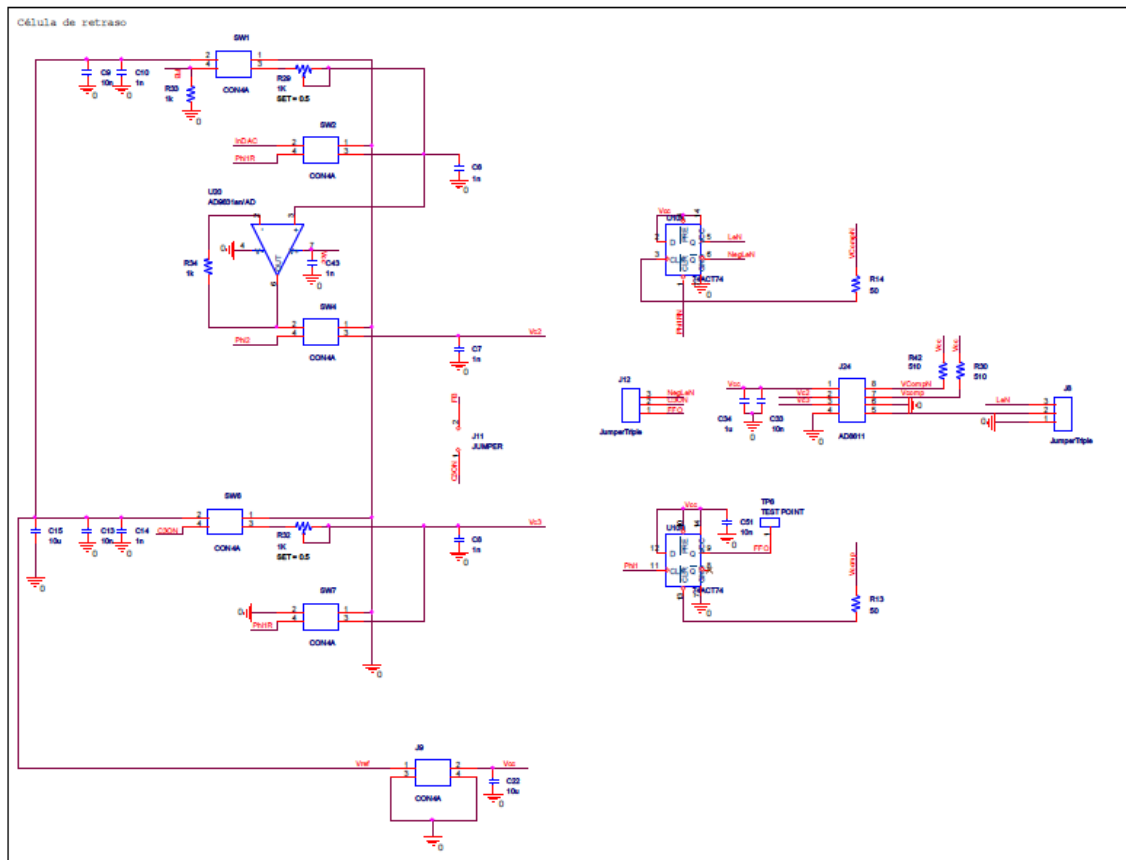
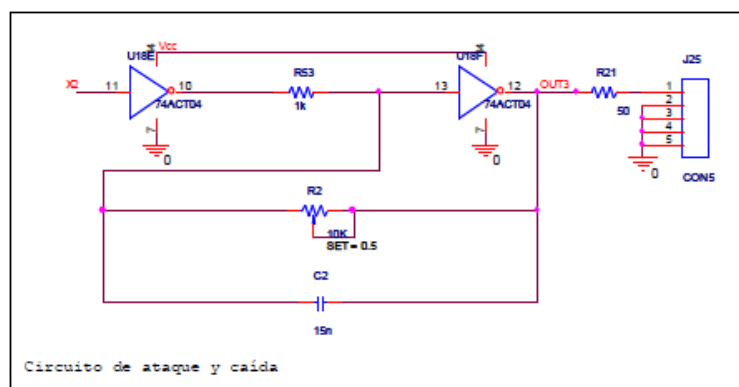


Figura 5.30: Circuito eléctrico del filtro/célula de retraso.

Bloque del circuito de ataque y caída:

El circuito diseñado para este bloque está basado en dos inversores que lo que hacen como primer paso es mejorar la cuadratura de la señal de salida del sistema para luego mediante la implantación de un filtro variable a su salida, ser capaz de modificar la pendiente de esta señal, de tal forma que el ruido introducido por conmutaciones a alta velocidad se vea reducido.





Filtro muestreado para señales PWM

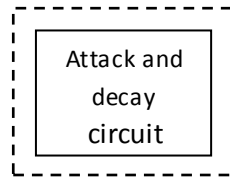


Figura 5.31: Circuito de ataque y caída.

Bloque del circuito modulador de salida:

El funcionamiento de este circuito se basa en un amplificador de radio frecuencia al cual se le introduce la señal filtrada obtenida a la salida del filtro y con la señal de reloj de alta frecuencia se enciende y apaga su alimentación creando la modulación, de esta forma será capaz de funcionar como el modulador de AM de baja frecuencia instalado también en el circuito, en el cual se conseguía la modulación mediante el uso de una puerta AND como interruptor de paso/no paso de señal, como se explicó para el demostrador 1.

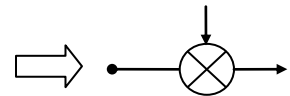
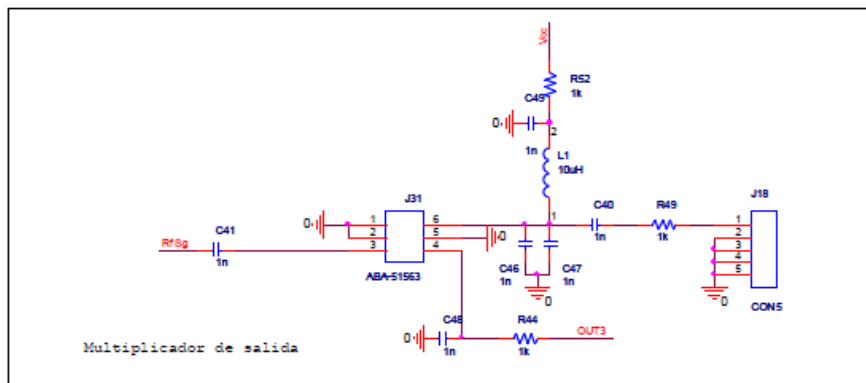


Figura 5.32: Multiplicador de salida para crear AM.

5.2.2.- Cálculos teóricos necesarios para la construcción del segundo demostrador.

Para el segundo demostrador se mostrará únicamente el cálculo de las operaciones lógicas que crearán las fases necesarias para el nuevo funcionamiento del filtro, ya que los valores de las resistencias y condensadores serán iguales que para el primer demostrador ya que ambos funcionarán a frecuencias similares.

Cálculo de puertas lógicas para el generador de fases del demostrador 2.

Como se hizo en el apartado anterior se mostrarán los cálculos realizados y simulaciones para la creación de las tres fases que se necesitan para el funcionamiento del nuevo circuito. Como se hizo anteriormente se usará el mismo registro de

desplazamiento de 8 bits. La solución de los cálculos simulada dará el siguiente resultado:

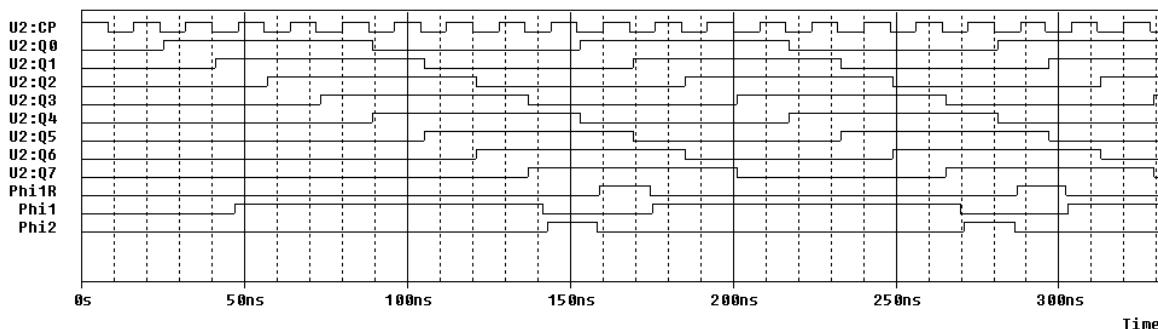


Figura 5.33: Generación de las fases para el segundo demostrador.

Como se puede comprobar en la figura 5.33, el tiempo invertido en realizar la fase Phi1 se ha visto aumentado con esta configuración, de esta forma se obtendrá una mayor maniobrabilidad y posible rango de tensiones que se pueden introducir al circuito, ya que los condensadores tendrán un mayor tiempo posible para realizar las copias necesarias de las tensiones, en cambio las fases de descarga son muy pequeñas en comparación, algo normal puesto que éstas son casi instantáneas.

Por lo tanto cada una de las fases se conseguirá de la siguiente forma:

Phi1: Se obtiene mediante la operación OR entre las señales Q3 y Q1 provenientes del registro de desplazamiento.

Phi1R: Se consigue operando las señales Q5 y Q0 del registro con la operación lógica AND.

Phi2R: También es creada mediante el uso de la función AND pero esta vez entre las señales Q7 y Q4 del registro.

De esta forma quedan definidas las fases que controlarán el funcionamiento del filtro como ocurría en el primer demostrador. El siguiente apartado será la elección de los componentes que intervendrán en este nuevo circuito.

5.2.3.- Selección de componentes.

Al igual que en el apartado 5.1.3, se explicará cuales han sido los componentes seleccionados para el desarrollo de circuito del segundo demostrador. Puesto que la mayoría de los componentes son iguales, sólo se comentarán aquellos que presentan cierta novedad.

Pack de resistencias de 33Ω : Este integrado es usado en el circuito para que el acoplamiento entre las señales del generador de patrones y el DAC se haga correctamente, el circuito proporciona ocho resistencias, a las cuales irán conectadas

las salidas de cada uno de los bits del generador de patrones, y serán unidas a través de una resistencia en serie con el conversor digital analógico.

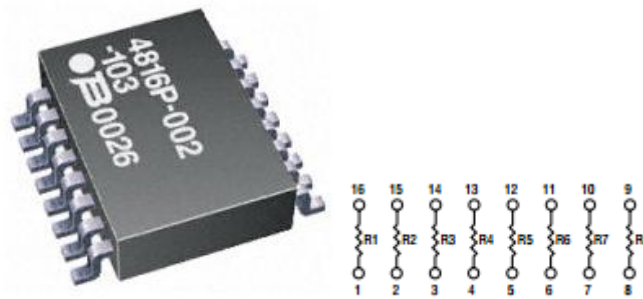


Figura 5.34: Integrado de 8 resistencias de 33Ω .

Comparador de alta velocidad: Para el circuito del segundo demostrador se eligió el mismo comparador que para el primero, pero con una pequeña diferencia, en lugar de ser el integrado AD8612 es el AD8611, la única diferencia entre ellos es que el AD8611 únicamente tiene un comparador dentro de su integrado, además, el encapsulado es uno estándar en lugar del que se tuvo que crear para la primera placa, simplificando el montaje, por ello se eligió cambiar el modelo de comparador para este circuito.

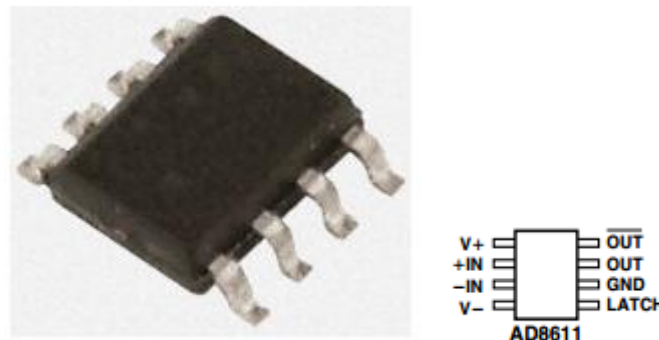


Figura 5.35: Comparador AD8611 de alta velocidad.

Amplificador de radio frecuencia: Este es el circuito encargado de crear la modulación AM de alta frecuencia como se ha explicado durante este apartado del documento, el motivo de su elección es su capacidad para operar a frecuencias muy elevadas (hasta aproximadamente 3.5GHz), más que suficientes para el rango de funcionamiento que tendrá el demostrador, además, presenta una gran estabilidad y puede funcionar a tensiones de alimentación de 5V, por lo que no habría problemas para realizar una alimentación única, puesto que todos los circuitos están alimentados a esta tensión.

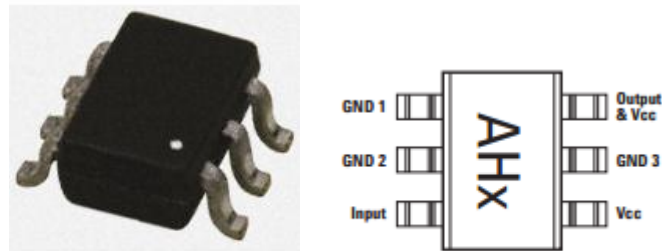


Figura 5.36: Integrado del amplificador de radiofrecuencia.

Conversor digital analógico: El DAC elegido para el circuito fue el AD9752, cuyo principal criterio para su elección fue que tuviera el mayor número posible de bits y que fuera compatible con los demás componentes del sistema. Como se ha visto anteriormente en las simulaciones realizadas por Simulink, cuanto mayor sea el número de bits del conversor, mejor será la relación señal a ruido del sistema, y por lo tanto menor ruido tendrá la señal a la salida y mejor será el filtrado. Además, los tiempos de subida y bajada y los tiempos de propagación, son del orden de 2ns, por lo tanto no tendrán un impacto negativo apreciable en el funcionamiento del circuito.

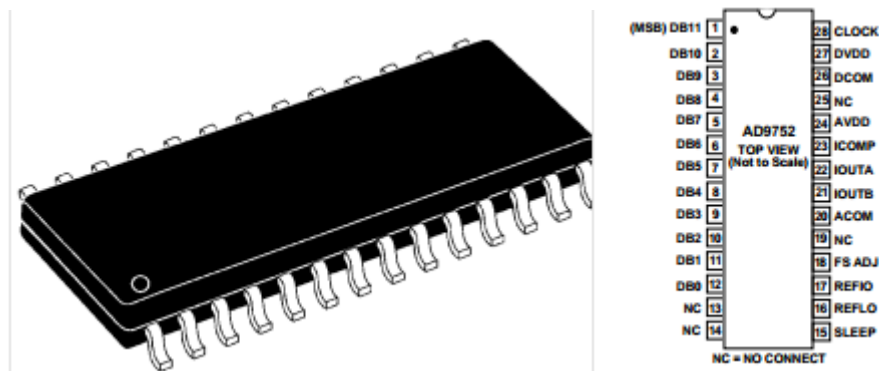


Figura 5.37: Conversor digital analógico AD9752.

Amplificador operacional: La implantación en el circuito de un amplificador funcionando como un buffer de ganancia unidad para la copia de señales entre condensadores, hizo que fuera necesario la elección de un amplificador óptimo para este cometido. Para esta función se eligió el amplificador AD9631, el motivo principal para su elección fue que éste proporciona una bajísima distorsión en las señales cuando trabaja como buffer de ganancia unidad, además es un amplificador que puede funcionar a frecuencias muy elevadas, del orden de los 200MHz-300MHz y proporcionar velocidades muy elevadas de funcionamiento.

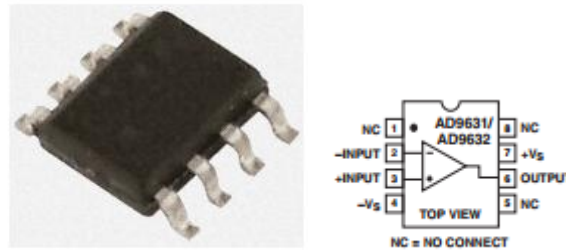


Figura 5.38: Amplificador operacional AD9631.

Una vez explicados los componentes que presentan novedades en este circuito, se procederá a las simulaciones eléctricas del mismo, para comprobar que su funcionamiento está dentro de las hipótesis realizadas.

5.2.4.- Simulaciones del circuito eléctrico (Demostrador 2).

Como para el sistema anterior, las simulaciones estarán realizadas con el software CAD OrCAD. Puesto que como se comprobó en las simulaciones del primer demostrador tanto el generador de fases como los transistores/interruptores BSS83 son capaces de acoplarse perfectamente al circuito sin presentar ningún inconveniente en la simulación, para el segundo demostrador se realizará directamente la simulación del circuito final (Figura 4.38), haciendo que se parezca lo máximo posible al circuito real del sistema.

Como se puede ver en el mismo están todos los cambios que se han ido comentando para este demostrador, en cuanto a la disminución de interruptores, la inclusión de un buffer de ganancia unidad para realizar copias instantáneas en los condensadores, la existencia de un único comparador, el generador de fases que proporciona únicamente tres fases en lugar de cuatro etc.

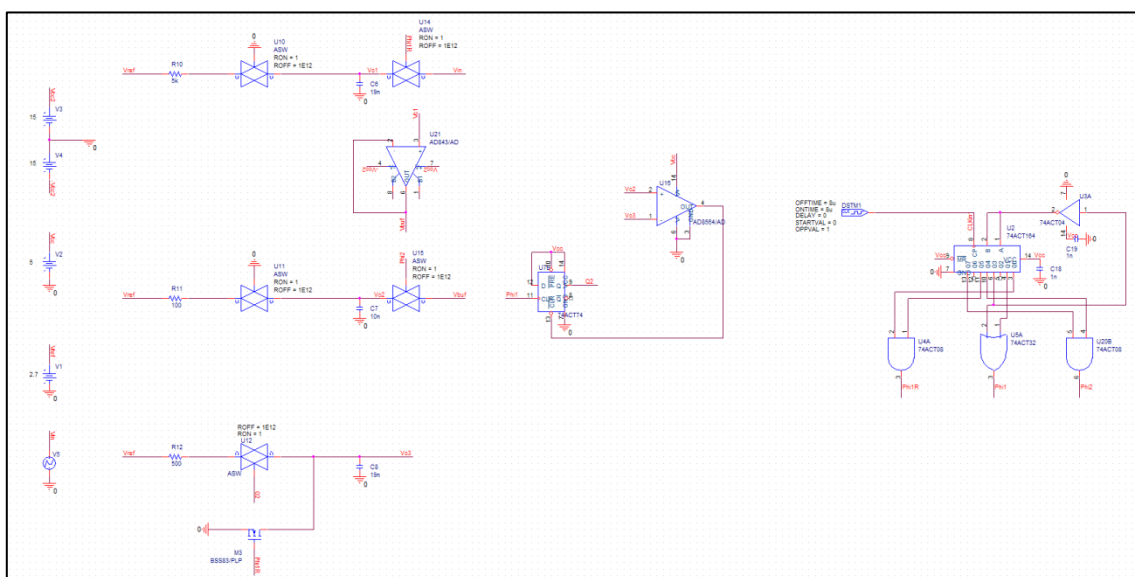


Figura 5.39: Esquemático de simulación para la nueva arquitectura del filtro.

Una vez simulado el circuito de la figura, los resultados obtenidos serán los siguientes:

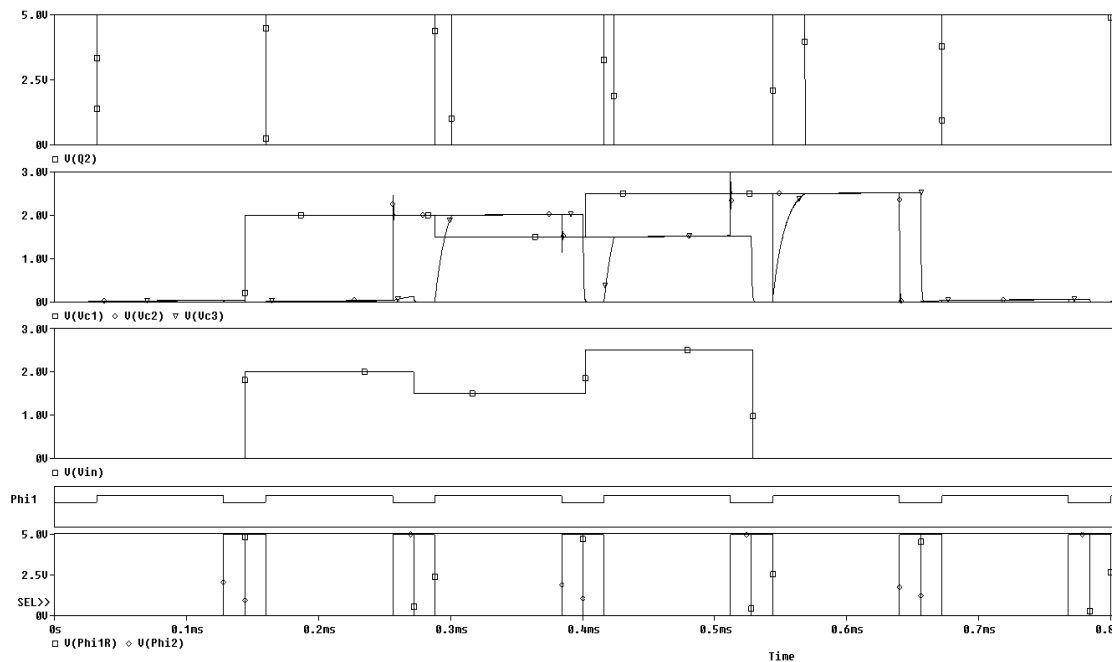


Figura 5.40: Simulación del circuito de la figura 4.38.

Comparando la simulación de este circuito con la del circuito anterior se pueden observar varias diferencias. A parte de que únicamente haya tres fases en lugar de cuatro, el funcionamiento difiere ligeramente del filtro clásico. Como se ha comentado a lo largo del proyecto, para el segundo demostrador la entrada dejaría de ser una señal Sigma-Delta de un único bit para pasar a ser la salida de un convertidor digital analógico, esto hace que en el circuito ya no entren señales PWM, si no señales cuya amplitud puede variar en cada uno de los ciclos. Es por este motivo que la entrada al circuito $V(IN)$ en la simulación es una señal cuya amplitud varía en cada uno de los periodos de funcionamiento del circuito. En cuanto a la copia de señales en los condensadores también se pueden apreciar una serie de diferencias interesantes; es visible como la tensión en los condensadores $V(Vc1)$ y $V(Vc2)$ es cargada en los mismos de forma instantánea, esto es debido a que no existe ninguna resistencia de carga como había antes, la tensión es introducida directamente en el condensador, de ahí que se cargue como si fuera un pulso, además, puede observarse como $V(Vc2)$ es exactamente igual a $V(Vc1)$ desplazada en el tiempo para poder realizar el retraso.

Por último, como se ha comentado, el condensador C_3 debe funcionar exactamente igual que antes, ya que la salida del circuito es precisamente el tiempo que tarda en cargarse este condensador, de ahí que en la simulación se perciba claramente la carga del condensador a través de una resistencia a una velocidad dependiente del coeficiente RC, el funcionamiento de este condensador es la clave del

circuito por eso no puede cambiarse, puesto que es el que consigue hacer que la señal de entrada de amplitud variable dé una salida PWM variable en el tiempo $V(V_{out})$.

Y es de esta forma como queda demostrado con la simulación de la figura 4.39 que el circuito funciona tal y como se esperaba en un primer momento, y por lo tanto puede procederse a su construcción tal y como se hizo para el primer demostrador.

5.2.5.- Diseño PCB del circuito eléctrico (Demostrador 2).

Para este apartado se realizará el mismo análisis que se ha hecho anteriormente para la primera placa, pero como se ha venido haciendo anteriormente, para el demostrador 2 únicamente se explicará aquello que difiera de lo anterior, para evitar repetir los mismos conceptos.

Tanto el software (OrCAD Layout) como el proceso de diseño del circuito es igual para ambos circuitos, por lo tanto se pasará directamente a explicar las peculiaridades de este nuevo demostrador.

En la figura 5.41 puede verse el diseño final del Layout del circuito, es visible como el tamaño y complejidad de la placa ha aumentado debido a la inclusión de nuevas funcionalidades que dotarán a la placa de una mayor versatilidad a la hora de realizar distintas tareas, ya sea de filtrado, modulación a alta y baja frecuencia etc.

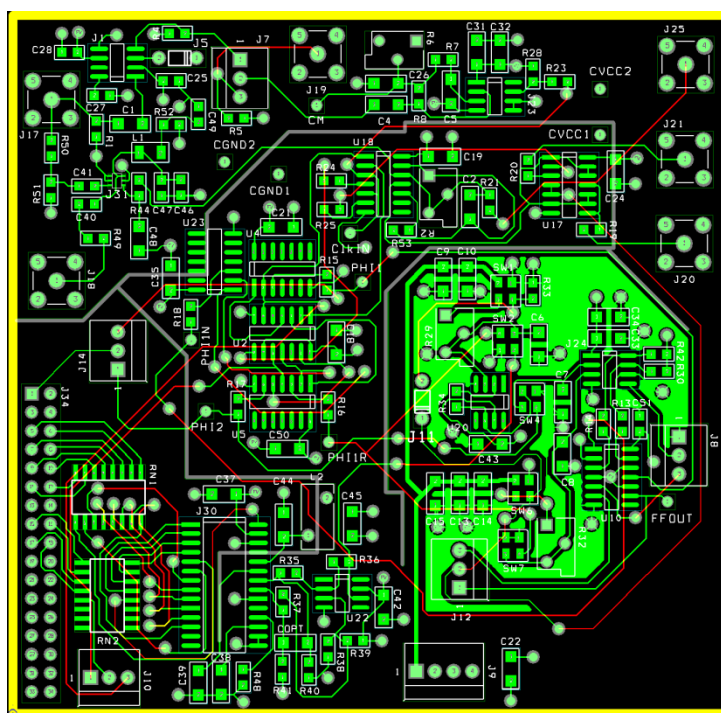


Figura 5.41: Layout de la placa de circuito para el demostrador 2.



Huellas de los componentes:

Para los nuevos componentes que se implantaron al sistema en este demostrador hubo que crear varias huellas manualmente, puesto que alguno de los componentes era de un propósito muy específico y un diseño con mayor peculiaridad que componentes comunes.

Componente	Descripción	Encapsulado elegido
AD8611	Comparador dual de alta velocidad	SOG.050/8/WG.244/L.200
ABA51563	Circuito amplificador RF	SOT363B (Realizada manualmente)
AD9631	Amplificador operacional	SOG.050/8/WG.244/L.200
AD9752	Convertor DAC 12bits	SOG.050/28/WG.420/L.725
RPACK 33ohm	Pack de resistencias de 33 ohm	RPACK (Realizado manualmente)

Tabla 5: Huellas para los nuevos componentes de la placa.

Ancho de las pistas:

Como se hizo anteriormente, para esta placa también habrá dos anchos de pistas distintos, un ancho estará dedicado a las pistas de alimentación y tierra mientras que un ancho más pequeño será para las pistas de conexión entre distintos integrados. Además, habrá un tercer ancho específico para la parte del circuito dedicada al bloque de modulación de radiofrecuencia.

Nombre de la red	Ancho de pistas inicial (mils)	Ancho de pistas final (mils)	Routing Enabled
Redes de no alimentación	12	10	Sí
Vref	12	25	Sí
Vcc	12	25	Sí
Gnd	12	25	Sí
RFSG	12	20	Sí

Tabla 6: Ancho de las pistas para la placa de circuito del demostrador 2.

Pads de los componentes:

Para el segundo circuito los pads de los antiguos componentes se mantienen, mientras que para los nuevos componentes serán:



Nombre del Pad	Encapsulado	Capa	Tamaño original	Tamaño actual
RF.IIB_pad1	RF/SMA/V	TOP	W.80-H.80	W.80-H.80
		BOTTOM	W.80-H.80	W.80-H.80
		GND	W.95-H.95	W.95-H.95
		PWR	W.95-H.95	W.95-H.95
		DRILL	W.54-H.54	W.54-H.54
		DRILL	W.36-H.36	W.36-H.36

Tabla 7: Tamaño de los padstacks para los nuevos componentes.

Capas de la PCB:

Como la placa anterior, la del demostrador dos posee también cuatro capas. Las dos capas intermedias destinadas a soportar un plano de masa completo para las capas de alimentación y tierra del circuito, mientras que las capas TOP y BOTTOM destinadas al rutado de las conexiones entre integrados.

Capa	Configuración inicial	Configuración final	Obstáculo	Características del obstáculo
TOP	Routing	Routing	No	
GND	Plane	Routing	Cooper pour	Unión a red: 0 Clearance: 15 Width: 50
PWR	Plane	Routing	Cooper pour	Unión a red: Vcc Clearance: 15 Width: 50
BOTTOM	Routing	Routing	No	

Tabla 8: Capas que conforman el circuito del demostrador 2.

Montaje:

El montaje del demostrador dos contiene una mayor complejidad debido a la elevada cantidad de elementos y bloques nuevos que el sistema dispone, como por ejemplo sería el bloque de modulación RF, todo el bloque concerniente al convertidor digital analógico etc. En la figura 4.40 se podrá ver el resultado final de la placa montada y lista para funcionar.



Figura 5.42: Placa de circuito para el segundo demostrador con montaje completo.

Como se puede ver la placa de la figura 5.42 está montada y conectada para la realización de todo tipo de pruebas, por último faltaría conectarle el generador de patrones, y conectar este generador al PC para transmitirle la información necesaria para crear las señales como en la figura 5.43.

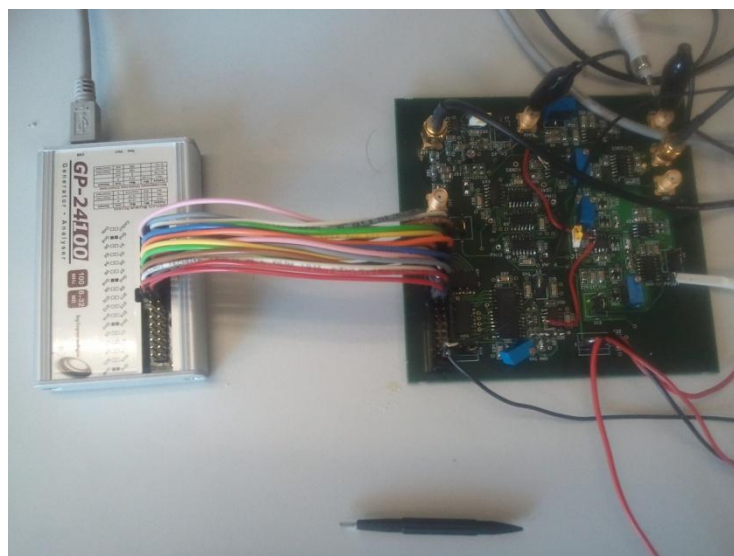


Figura 5.43: Placa conectada al generador de patrones y lista para la realización de pruebas.

Una vez ambos demostradores están montados y listos y para realizar las pruebas pertinentes en ellos, el siguiente apartado del documento mostrará cómo se realizaron esas pruebas y por supuesto mostrarán los resultados de las mismas, para comprobar si todo lo que se ha ido simulando a lo largo del proyecto, ya sea teóricamente a nivel de sistema con Simulink, como eléctricamente con OrCAD es aplicable y funciona en casos reales.





6.- Medidas y pruebas.





6.- Medidas y pruebas.

Este capítulo del documento explicará todas las pruebas realizadas para comprobar que el circuito funcionaba correctamente tal y como se había previsto mediante desarrollos y simulaciones teóricas, además estas simulaciones podrían servir para dar un visto bueno para un desarrollar el sistema en un chip, que sin duda mejoraría sus especificaciones.

Antes de comenzar a exponer los resultados obtenidos, es importante explicar cómo el generador de patrones crea las señales de entrada sobre las cuales el filtro actuará.

El funcionamiento del generador de patrones es en realidad bastante sencillo, como se puede comprobar en la figura 6.1, el generador de patrones tiene tres tipos de conexiones distintas, las correspondientes a tierra, las correspondientes al reloj y por último los pines que mandarían la salida al circuito.

Cada vez que al generador le llega un pulso de reloj, éste lo que hace es mandar los datos que tiene en un fichero de datos de forma secuencial.

Ejemplo de datos del fichero:

0000000000000000

0000000000000000

0000000000001111

0000000000000000

0000000000001111

0000000000001111

0000000000000000

0000000000001111

Por lo tanto con el primer pulso de reloj el generador mandaría el primer conjunto de datos, luego el siguiente y así sucesivamente, una vez llegado al último volvería a comenzar con la secuencia en forma de bucle infinito. Los bits más a la derecha del conjunto corresponden a los bits menos significativos (D0, D1...), mientras que los bits más a la izquierda corresponden a los más significativos (D15, D14...).

Así pues el generador de patrones puede ser controlado mediante un fichero de datos creado por ordenador.

El fichero de datos con la información necesaria para que el generador cree las señales deseadas será creado con Matlab a través de los sistemas que fueron simulados con Simulink. El procedimiento para realizarlo es muy sencillo:

Como se puede ver en la figura 4.4, el sistema Simulink tiene un modulador de señales Sigma-Delta necesario para realizar la simulación. Lo que se hizo fue que mientras se realizaba esta simulación, mediante un script los datos proporcionados por ese modulador Sigma-Delta fueran copiados a un fichero de datos compatible con el generador de patrones (*.dat), obteniendo así la información que se necesitaba para realizar las simulaciones con el circuito real. Estos scripts pueden verse en los anexos del documento del proyecto de fin de carrera, comprobándose su sencillez.

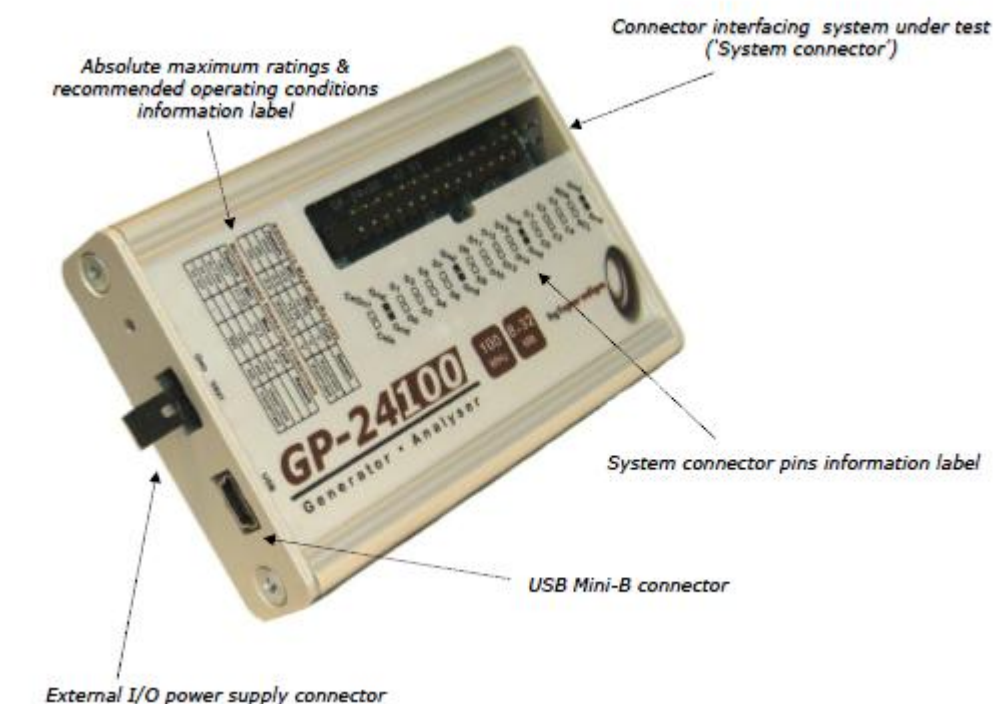


Figura 6.1: Generador de patrones GP-24100.

6.1: Medidas para el demostrador 1.

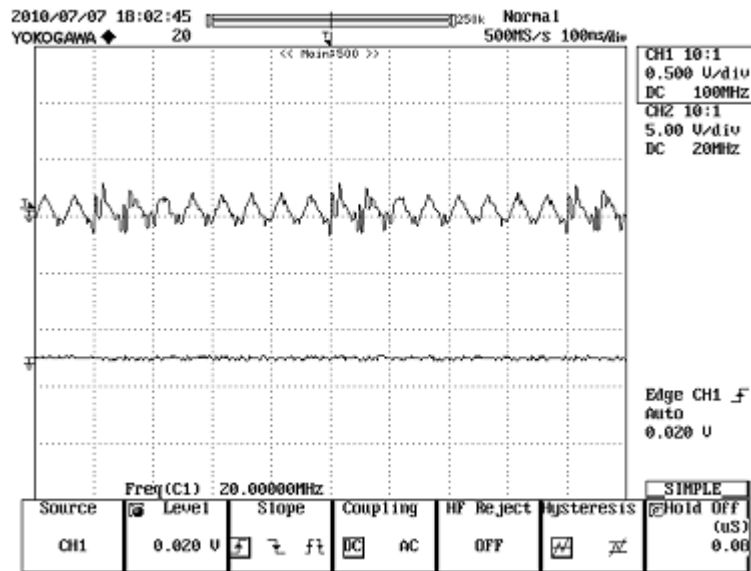
Una vez explicado cómo se generan las señales de entrada y cómo funciona el circuito eléctrico del sistema, en este sub apartado se mostrarán las pruebas realizadas para el demostrador de la figura 4.2, por lo tanto la entrada será una señal Sigma-Delta de un único bit y la célula de retraso a utilizar será la primitiva.

Las primeras pruebas que se mostrarán serán las proporcionadas por las señales de reloj, del generador de fases etc. Para demostrar que el circuito funciona



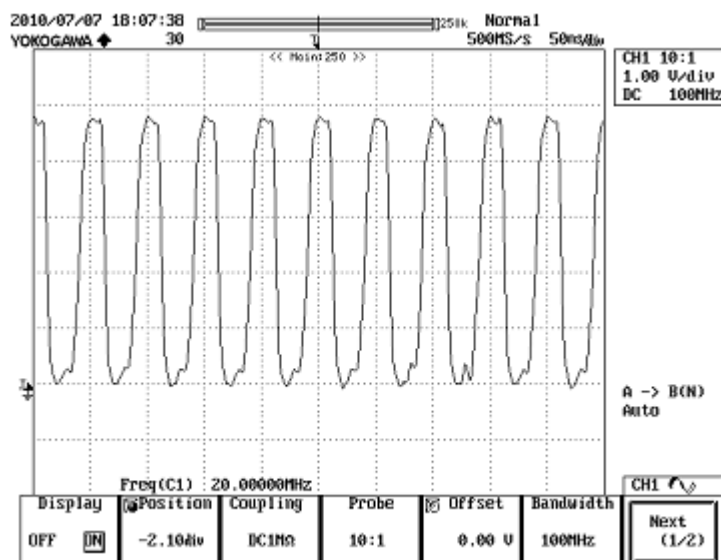
correctamente en todos sus módulos, para luego pasar a mostrar las pruebas que mostraban el funcionamiento completo del mismo.

Medida 6.1.1: Señal de reloj a la entrada del sistema de baja frecuencia.



Esta señal corresponde con la entrada al circuito de la señal de reloj por la entrada de baja frecuencia, y por lo tanto sin pasar por el circuito preescalador. Puede observarse como la calidad de la señal es relativamente pobre, puesto que no corresponde plenamente con una señal cuadrada como debería, y por lo tanto se confirma la necesidad de mejorarla con un circuito comparador.

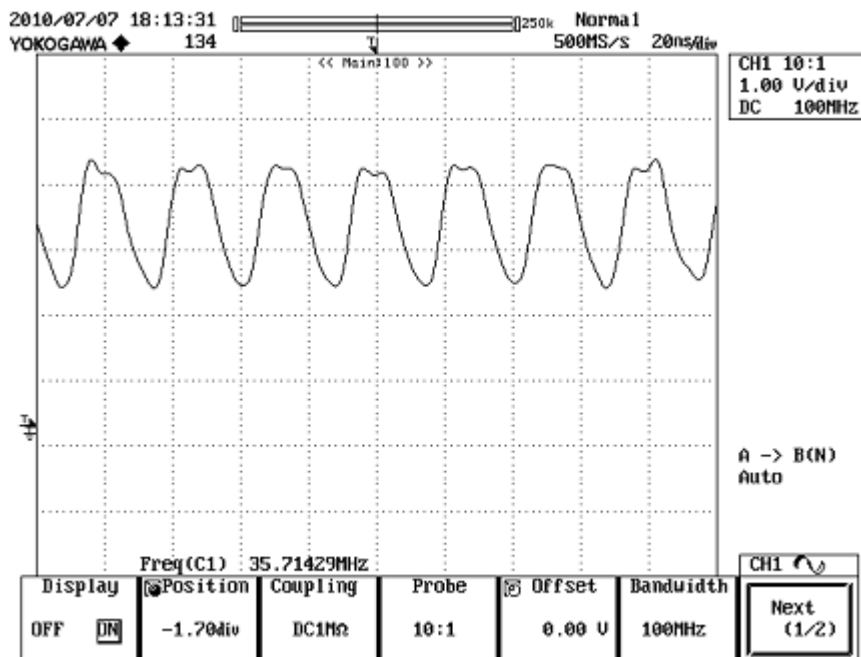
Medida 6.1.2: Señal de reloj a la salida del comparador.





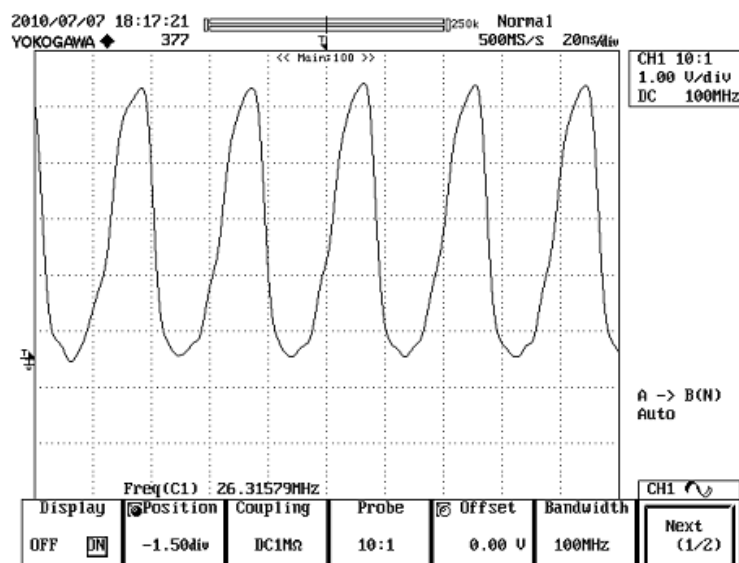
En esta prueba puede verse como en este caso la señal de reloj ha mejorado sustancialmente y ya es un reloj que puede introducirse para controlar un circuito de forma síncrona.

Medida 6.1.3: Señal de reloj de alta velocidad tras el preescalador con Jumper SW_ON/OFF activado (División por 8).



En este caso la señal a la salida del preescalador tiene una mejor calidad que la que podría introducirse directamente por la entrada de baja frecuencia, ya que éste circuito la procesa. La señal de entrada estará dividida entre 8, por lo tanto sería de aproximadamente 300MHz, mientras que la que llega al circuito es de 36MHz.

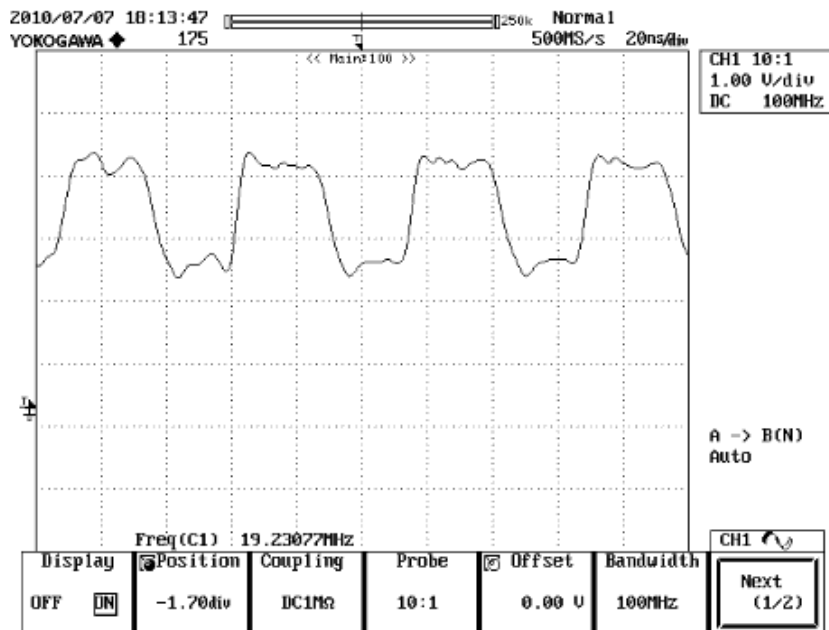
Medida 6.1.4: Señal de reloj a la salida del comparador (2).





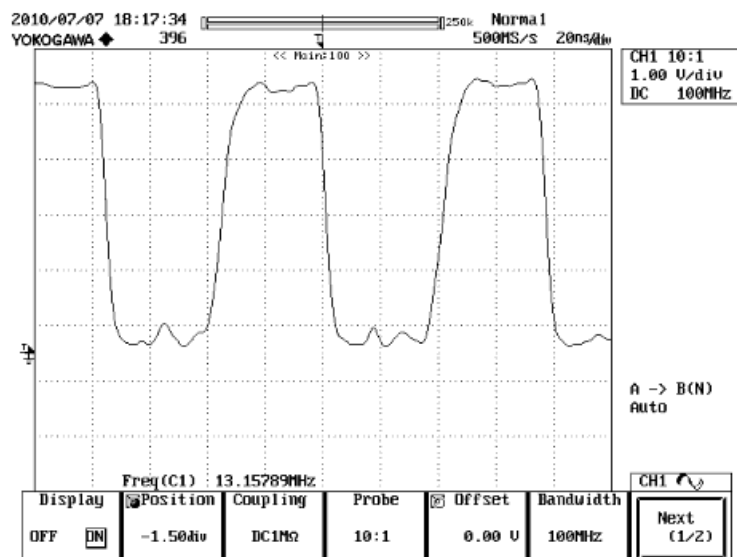
Aunque la señal proporcionada por el preescalador tenga mejor calidad, siempre es mejor que ésta sea mejorada por el circuito comparador, de ahí que en este caso también pase por éste circuito ya que además de proporcionar una mejor forma a la señal, la hace estar entre 0 y 5V, una tensión con la cual el circuito funciona mucho mejor.

Medida 6.1.5: Señal de reloj de alta velocidad tras el preescalador con Jumper SW_ON/OFF desactivado (División por 16).



Para esta prueba, se hizo que el preescalador realizara una división mayor en la señal de entrada, de aproximadamente 16, de ahí que el reloj obtenido tenga una menor frecuencia que en el caso anterior.

Medida 6.1.6: Señal de reloj a la salida del comparador (3).

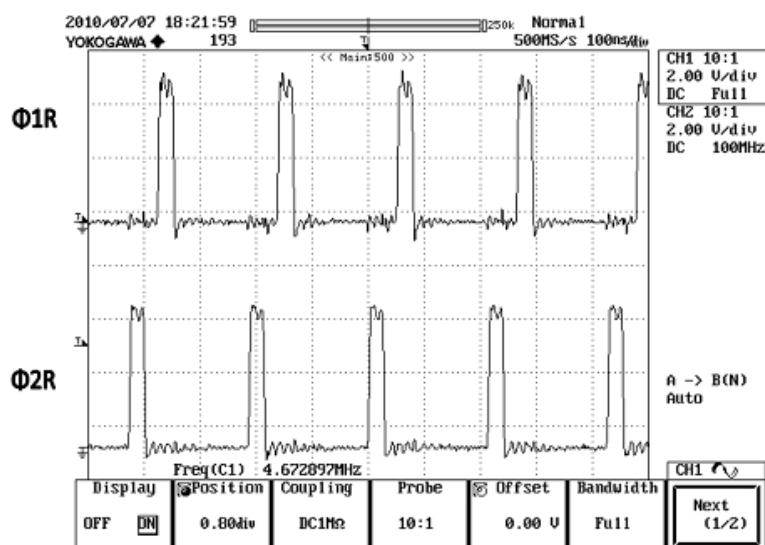




Tras el comparador puede verse la mejoría del reloj introducido al circuito, además, observando la frecuencia de la señal, ésta es de 13MHz, justo la mitad que para el otro reloj cuya frecuencia es de 26MHz, demostrando por lo tanto que el circuito preescalador funciona correctamente.

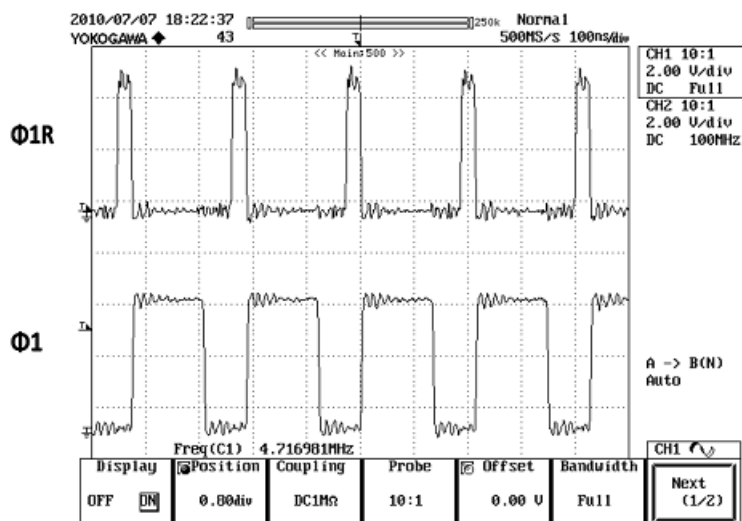
Una vez comprobada que la señal de reloj principal al circuito puede ser introducida correctamente, se pasará a comprobar las cuatro fases necesarias para el funcionamiento del filtro.

Medida 6.1.7: Señal de las fases Ph1R y Phi2R.



Las fases Ph1R y Phi2R son las encargadas de descargar los condensadores a masa; puede verse en la medida del osciloscopio como ambas tienen una cierta separación, que corresponde con el hueco necesario para que actúe la fase Phi2 que realice la carga en el condensador intermedio C_2 .

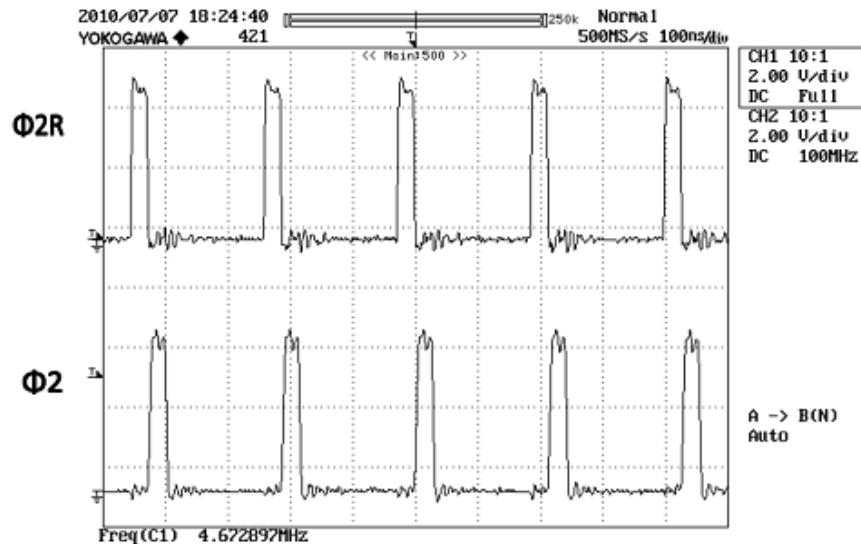
Medida 6.1.8: Señal de las fases Ph1R y Phi1.





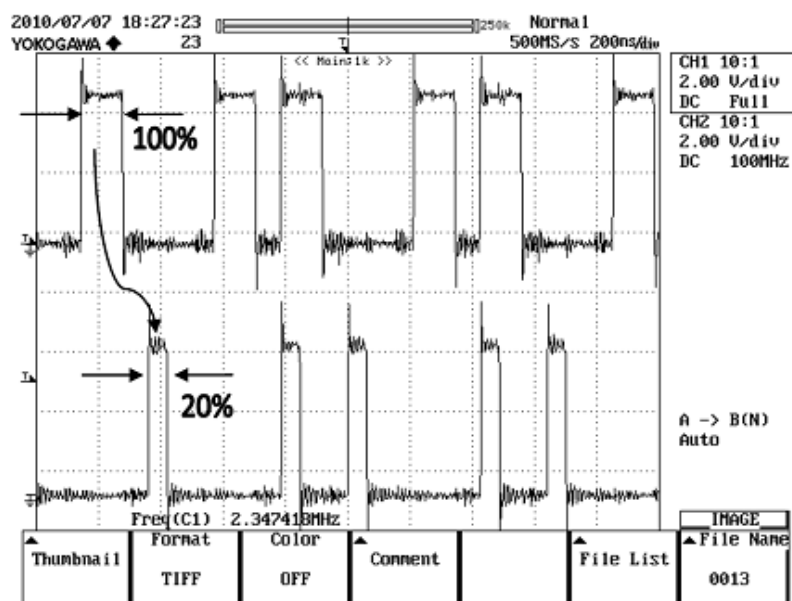
En esta medida pueden observarse las fases $\Phi 1$ y $\Phi 1R$, demostrando como la fase $\Phi 1$ es muy superior en tiempo a la $\Phi 1R$, para dar un mayor tiempo de carga a los condensadores principales, además se ve como la fase $\Phi 1R$ es justamente anterior a la fase $\Phi 1$, para borrar la carga de los condensadores y éstos comiencen “limpios”.

Medida 6.1.9: Señal de las fases $\Phi 2R$ y $\Phi 2$.



En esta simulación se comprueba como la señal $\Phi 2$ es del mismo ancho de pulso que las señales destinadas a la descarga, como se mostró en los cálculos teóricos mediante la simulación de OrCAD, ya que la carga de C_2 tiene una menor importancia que la que han de realizar los otros dos condensadores. Además puede verse cómo ésta carga se activa justo cuando se ha descargado el condensador con $\Phi 2R$.

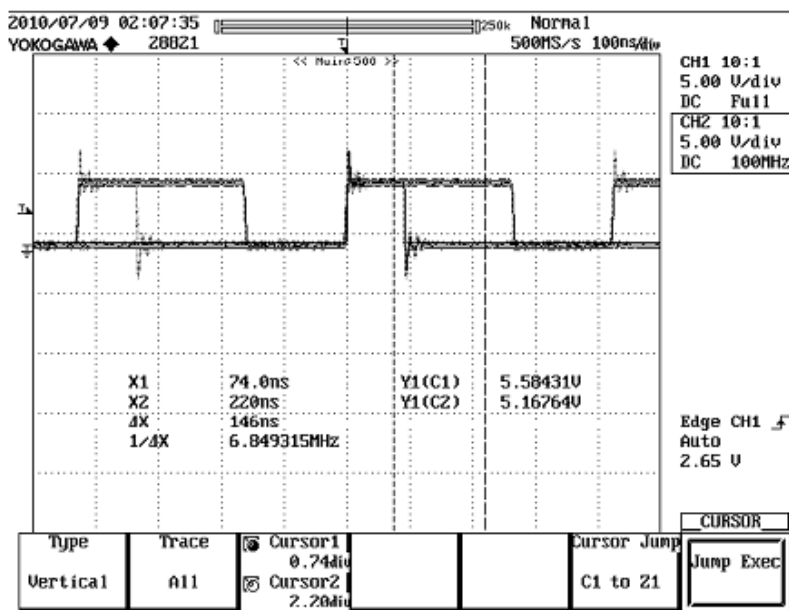
Medida 6.1.10: Funcionamiento como célula de retraso con ganancia.





A partir de esta medida comienzan las pruebas serias al circuito, correspondientes al funcionamiento esperado. En esta imagen puede comprobarse cómo el circuito funciona trabajando como célula de retraso. En la mitad superior de la medida puede verse la señal Sigma-Delta PWM de entrada al circuito mientras que en la mitad inferior puede observarse la misma señal retrasada un periodo de tiempo a la que además se le ha aplicado una ganancia de 0.2, lo cual se puede comprobar en que su ancho de pulso es un 80% menor al original, pudiendo afirmar de esta forma que el circuito funciona correctamente como retraso.

Medida 6.1.11 Funcionamiento como célula de retraso con ganancia (2).

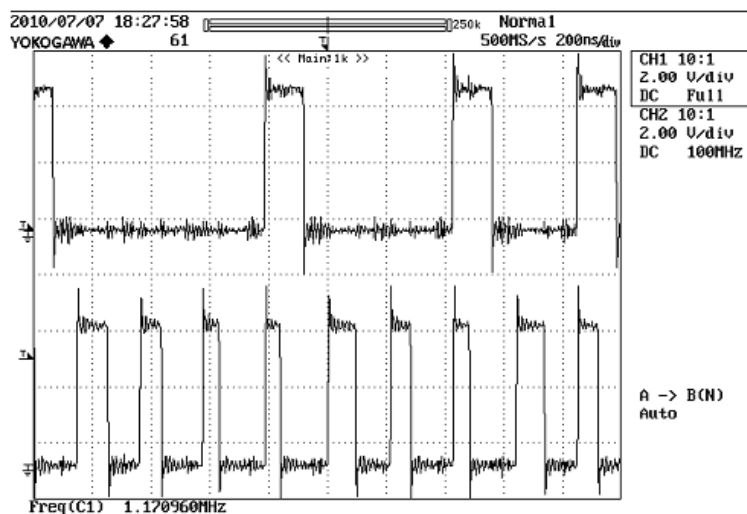


En esta medida se superpusieron ambas señales para comprobar cuánto menor es el pulso a la salida del circuito en comparación con la entrada.

Puesto que las medidas como célula de retardo han sido satisfactorias, el siguiente paso es realizar las pruebas definitivas del circuito funcionando como filtro, para intentar demostrar el funcionamiento correcto del sistema definitivo.

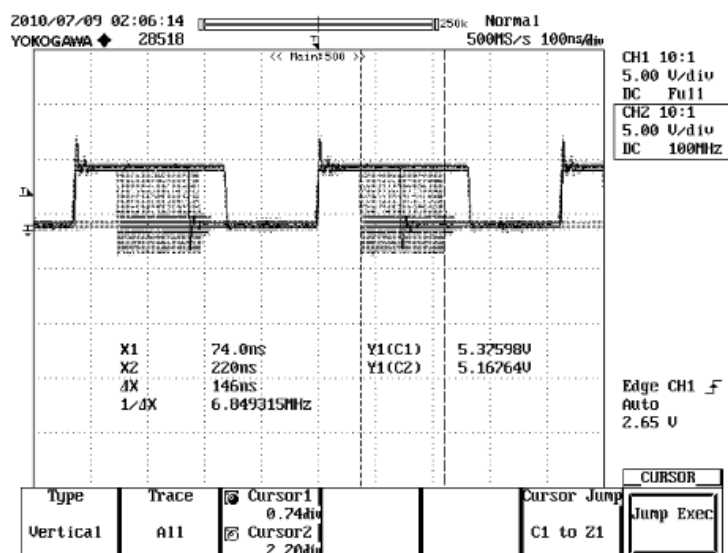


Medida 6.1.12 Funcionamiento como filtro (1).



Una vez activada la realimentación puede observarse como el circuito funciona como filtro; para esta primera medida el resultado es esclarecedor, puesto que como se ve, cuando en la entrada al sistema hay un largo periodo sin señal de entrada, el circuito hace de integrador inverso, es decir, en lugar de que la señal crezca paulatinamente como lo hacía en las simulaciones de OrCAD para el integrador al introducirle una señal PWM periódica, lo que hace es decrecer periodo a periodo hasta que en la entrada se introduce otro pulso, pudiendo comprobar así como el funcionamiento como filtro del sistema es también igual al esperado en un principio.

Medida 6.1.12 Funcionamiento como filtro (2).

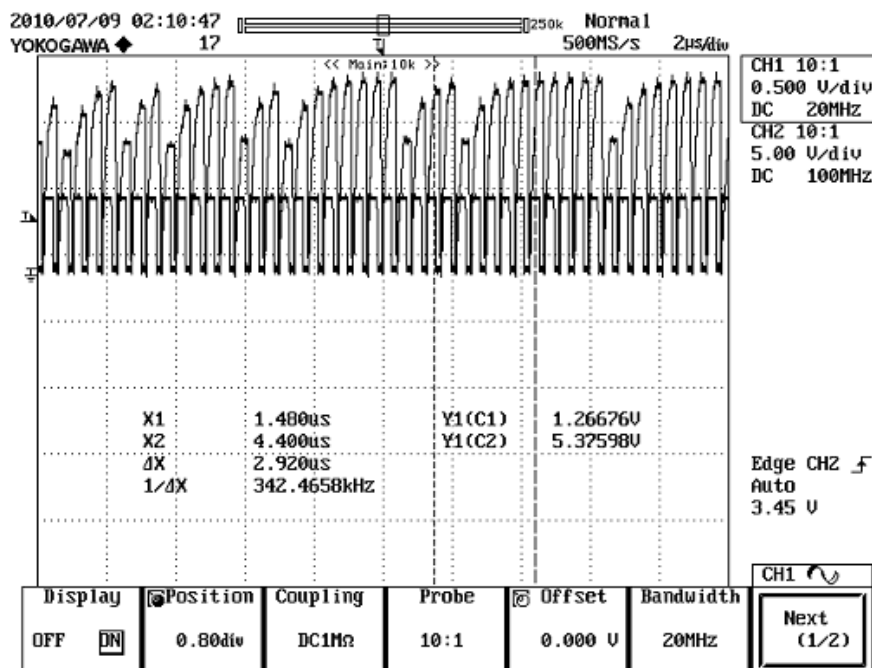


En esta segunda medida se intenta mostrar la variación de la señal PWM a la salida con respecto a las señales PWM de entrada. Como se puede observar en la imagen hay una zona sombreada; esta zona lo que hace es mostrar el rango de variación del ciclo de trabajo de la PWM de salida una vez el circuito funciona como



filtro paso bajo, por lo que se deduce que eléctricamente el circuito funciona de forma correcta como filtro, ya que el circuito hace continuas integraciones de la señal haciendo que su ciclo de trabajo varíe de forma muy variada entre un mínimo y un máximo.

Medida 6.1.13 Funcionamiento como filtro (3).

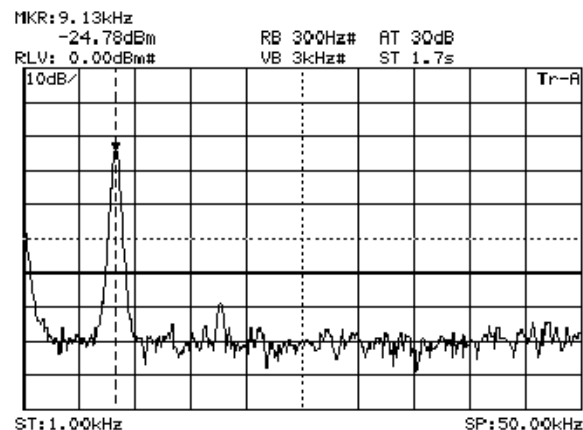


En esta última medida de las señales eléctricas del circuito pueden observarse los procesos de carga y descarga de los condensadores del sistema, como muestra la imagen la tensión existente en los condensadores varía entre un rango elevado que es función de los pulsos de entrada al sistema, ya que si a la entrada hay un tren de pulso muy continuo, la tensión en los condensadores irá aumentando con el tiempo, mientras que por el contrario si los pulsos son muy esporádicos, la tensión en los mismos no alcanzará valores elevados.

A partir de este momento se analizará el circuito en el dominio de la frecuencia, para ello se han tomado una serie de capturas con el analizador de espectros introduciendo una portadora de 300MHz y una potencia de la señal de -10dBm.

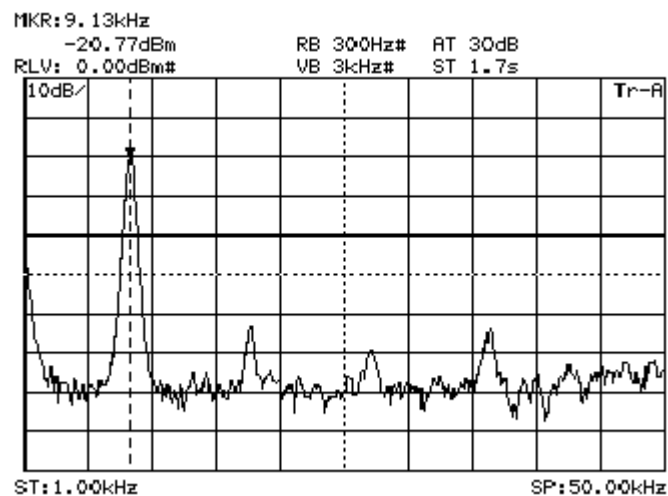


Medida 6.1.14 Espectro de la señal del circuito trabajando como célula de retraso.



En primer lugar se muestra el tono fundamental junto con la distorsión de la secuencia del modulador sigma delta cuando el circuito está funcionando como célula de retraso en frecuencias bajas.

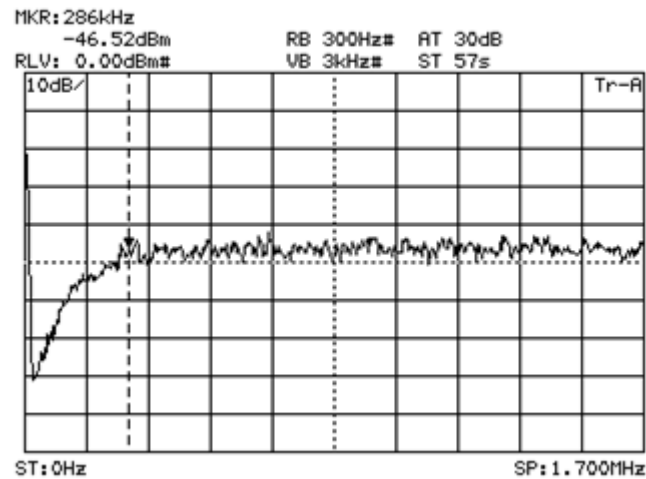
Medida 6.1.15 Espectro de la señal de salida del circuito trabajando como filtro paso bajo.



Si se activa el Jumper SW_ON y se configura el circuito para que funcione como filtro paso bajo, se obtiene a la salida el espectro que se muestra en la medida 6.1.15. En el cual se puede apreciar un pequeño aumento de los armónicos de unos 5dB como máximo para el tercer armónico.

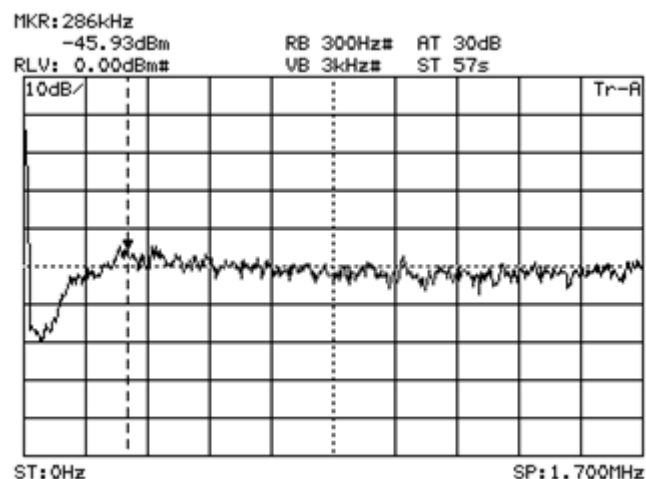
Para ver cómo el filtro funciona realmente, es necesaria una ampliación del span del analizador lógico para tener una visión más global del espectro de la señal.

Medida 6.1.16 Espectro de la señal de salida del circuito con conformado de ruido trabajando como célula de retraso.



Si se compara con la figura 4.9 correspondiente a la simulación de Matlab, puede observarse como la similitud es patente en ambas imágenes.

Medida 6.1.17 Espectro de la señal de salida del circuito con conformado de ruido trabajando como filtro paso bajo.

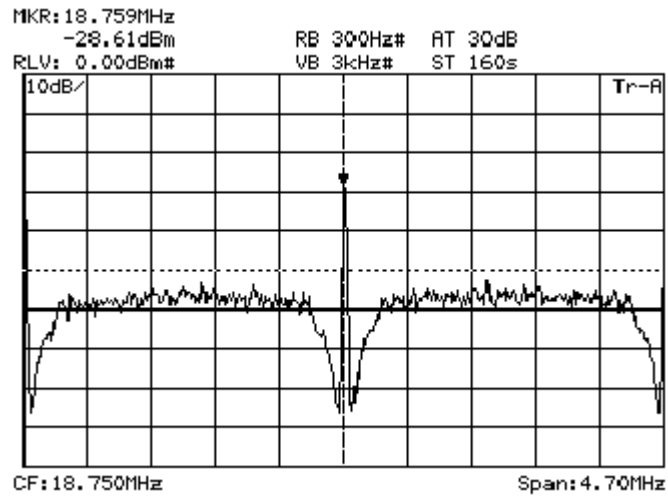


Si se activa el jumper que hace que el circuito funcione como filtro se puede apreciar como el nivel de ruido debido a la modulación Sigma-Delta disminuye alrededor de 20dB tal y como lo hacía en la simulación realizada con Matlab en la figura 4.9, demostrando así como el circuito funciona correctamente como filtro paso bajo.

En este momento se realizarán una serie de medidas para comprobar el funcionamiento como filtro para ruidos en altas frecuencias.

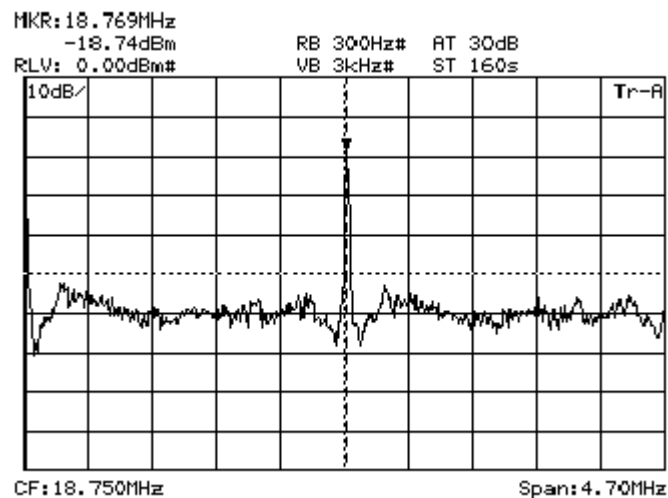


Medida 6.1.18 Espectro de la señal de salida del circuito con conformado de ruido trabajando como célula de retraso para altas frecuencias.



Como se puede observar tendremos un ruido similar al que se veía en las medida 6.1.16, pero en este caso mostrado para mayores frecuencias.

Medida 6.1.19 Espectro de la señal de salida del circuito con conformado de ruido trabajando como filtro paso bajo para altas frecuencias.



Como ocurría para las frecuencias más bajas, el filtro sigue funcionando correctamente filtrando el ruido de cuantificación introducido en el sistema por la modulación de señales Sigma-Delta, demostrando una vez más como su funcionamiento es según el esperado y según se ha simulado tanto a nivel de sistema como de forma eléctrica.

En las siguientes imágenes se verá el filtro actuando “en directo” para verificar su funcionamiento real.

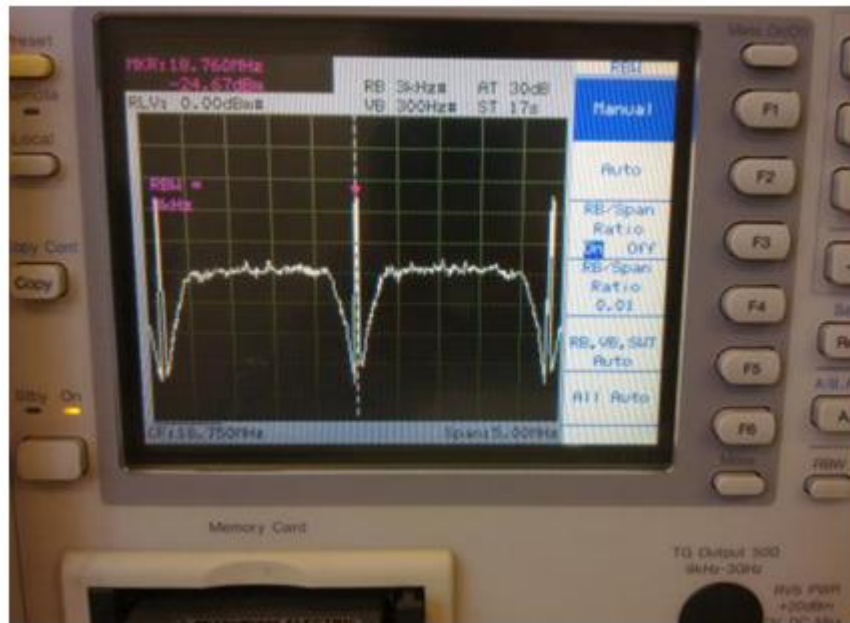


Figura 6.2: Fotografía en directo del circuito funcionando como célula de retraso.

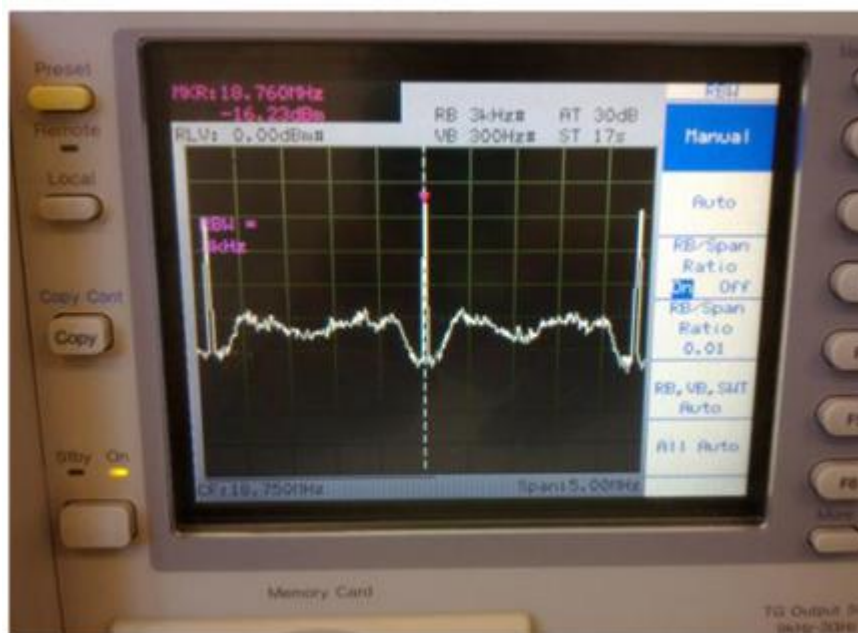
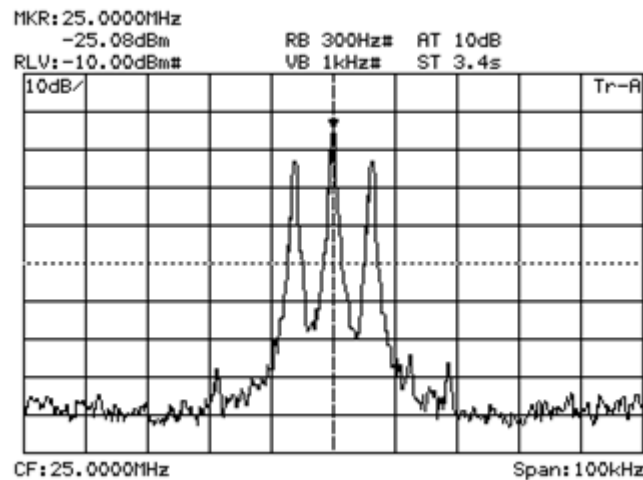


Figura 6.3: Fotografía en directo del circuito funcionando como filtro paso bajo.

Como últimas medidas obtenidas en el circuito se mostrará la salida de la modulación AM del mismo (OUT_2), tanto funcionando como célula de retardo como funcionando para filtro paso bajo.

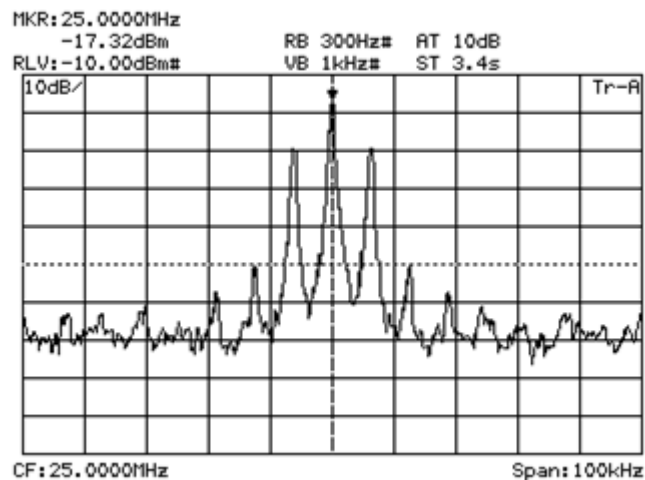


Medida 6.1.20 Espectro de la salida AM del circuito funcionando como célula de retraso.



En esta medida puede apreciarse la existencia de la señal portadora a 300MHz y las bandas laterales típicas de la modulación AM, por lo tanto puede comprobarse que el modulador funciona correctamente.

Medida 6.1.21 Espectro de la salida AM del circuito funcionando como filtro paso bajo.



Una vez cerrado el lazo de realimentación y haciendo funcionar al circuito como filtro paso bajo, se obtiene en la salida de AM del sistema el espectro mostrado en esta medida, donde se puede apreciar una atenuación de las bandas laterales de la señal y un leve incremento de los armónicos de la misma.

Sin embargo, la pequeña distorsión introducida por el filtro en cuanto a sus armónicos es asequible debido a la gran mejora obtenida en la relación SNR debida a la reducción del ruido a altas frecuencias generado por el modulador Sigma-Delta.

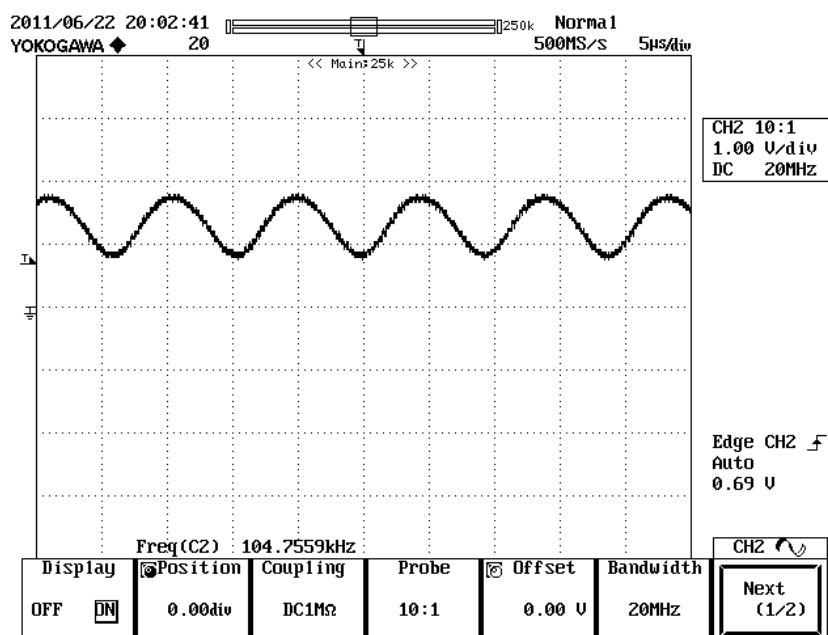


De esta forma se ha testeado correctamente el funcionamiento del filtro con unos resultados alentadores y muy similares a los obtenidos mediante Matlab, además se ha podido comprobar cómo el circuito es también capaz de funcionar como modulador AM habiéndose probado esta funcionalidad con resultados positivos tal y como se ha visto en estas últimas medidas, obteniendo como conclusión que el circuito funciona tal y como se gestó en primera instancia.

6.2: Medidas para el demostrador 2.

Para este apartado se mostrarán las medidas realizadas para el segundo demostrador tal y como se hizo para el primero, puesto que hay partes del circuito que son exactamente iguales al primer demostrador como el circuito preescalador se obviarán las medidas tomadas, puesto que serían exactamente iguales a las del apartado anterior.

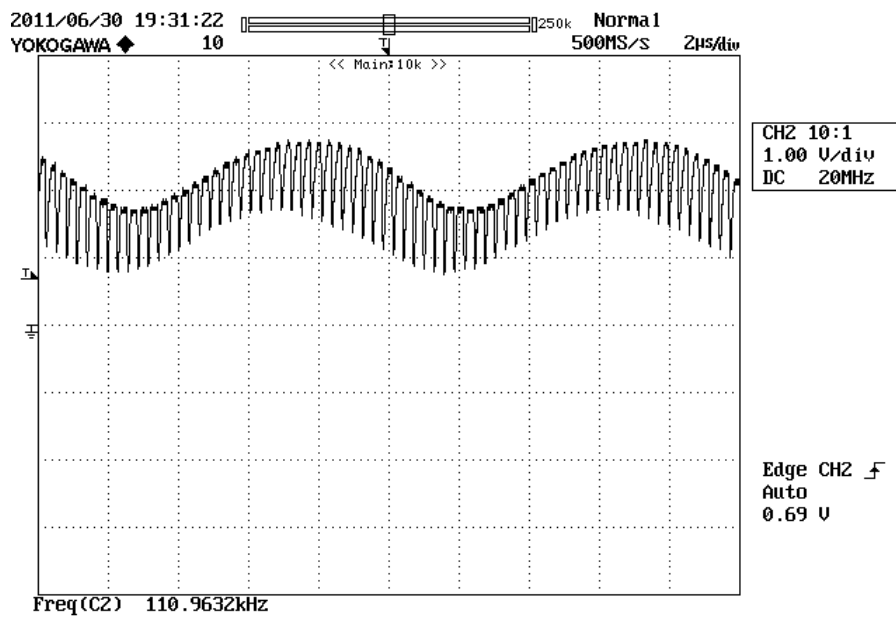
Medida 6.2.1: Tensión a la salida del bloque del conversor digital analógico.



En esta medida puede comprobarse fácilmente el correcto funcionamiento del bloque formado por el conversor digital analógico y el adaptador corriente-tensión necesario para obtener una tensión analógica a la salida. Esta salida puede observarse como es una señal sinusoidal con una forma bastante aceptable, la cual servirá para realizar las pruebas necesarias del circuito actuando como retraso y como filtro.

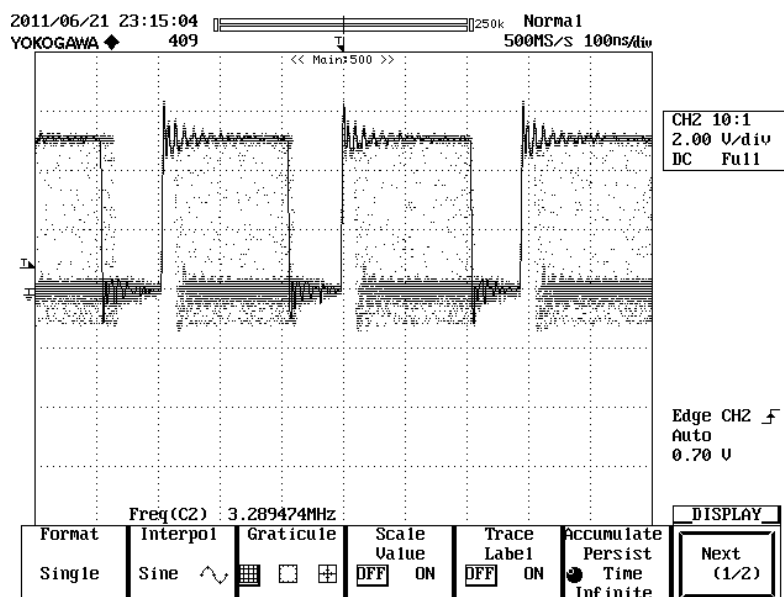


Medida 6.2.2: Tensión en C_1 con el circuito como filtro paso bajo.



En esta medida puede verse con bastante claridad el nuevo funcionamiento del circuito ya que como se ha explicado anteriormente, la tensión en el condensador C_1 ya no será borrada puesto que no hay necesidad de ello al hacer una copia directa sobre la tensión de entrada al circuito, por ello, una vez el circuito funciona como un filtro paso bajo, en el condensador C_1 habrá como es de suponer la tensión sinusoidal de entrada al circuito pero además tendrá sumada la tensión proporcionada por el circuito RC de realimentación, que es justo lo que se ve en la imagen de la medida, por lo tanto parece que en un principio los resultados son positivos.

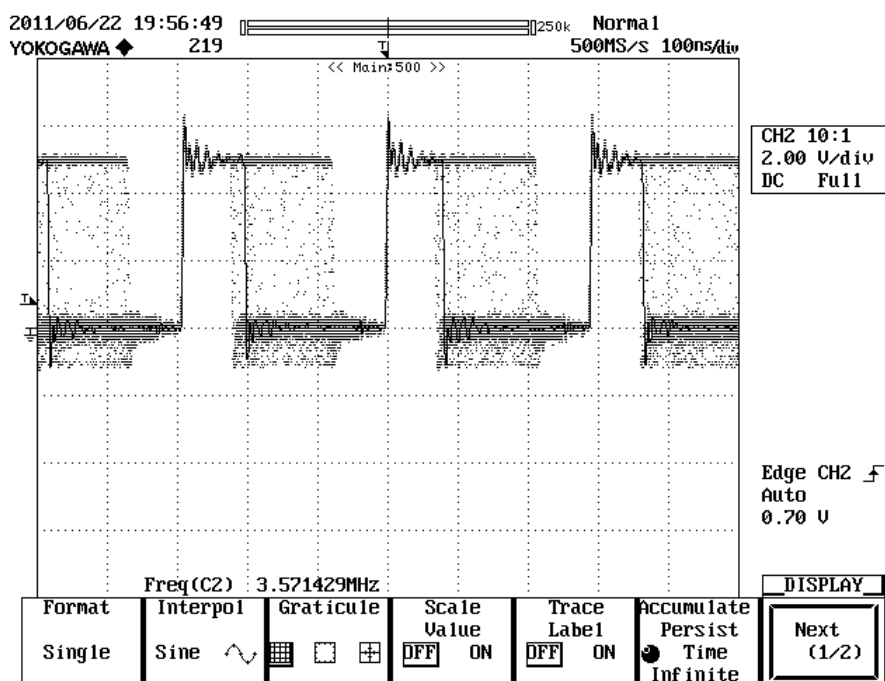
Medida 6.2.3: Tensión de salida como filtro paso bajo (1).





En esta medida puede observarse la salida del circuito funcionando como filtro, siendo la parte sombreada el rango de ciclo de trabajo que la señal PWM de salida puede proporcionar para unos valores de p y g determinados. Si se compara esta medida con la medida 6.1.12 puede comprobarse como su funcionamiento es similar y por lo tanto demuestra que la nueva placa también es capaz de funcionar como filtro, al menos eléctricamente en el dominio del tiempo.

Medida 6.2.4: Tensión de salida como filtro paso bajo (2).

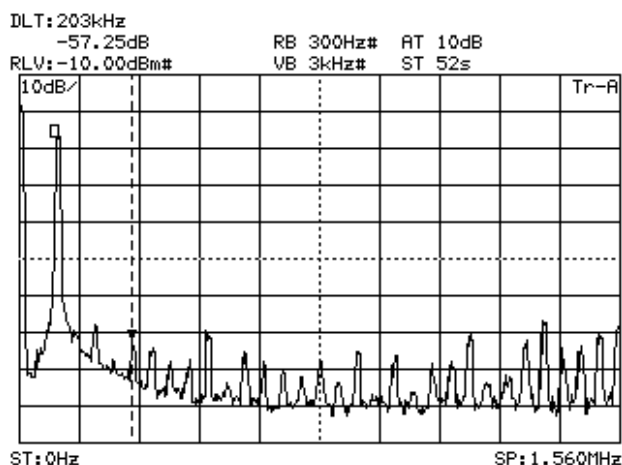


La principal diferencia entre esta medida y la anterior es la modificación de los coeficientes p y g para comprobar su efecto sobre la señal de salida del filtro. Como puede comprobarse para esta medida el rango que tiene la señal de salida en cuanto al ciclo de trabajo de la PWM ha disminuido. Esto influirá directamente en la capacidad de filtrar del circuito y habrá que ir modificándolo hasta encontrar los valores que le hagan funcionar de manera óptima.

Una vez se ha comprobado en el dominio del tiempo como el circuito del segundo demostrador también es capaz de funcionar como filtro, ahora se pasará a mostrar las medidas realizadas para asegurar su funcionamiento en el dominio de la frecuencia.

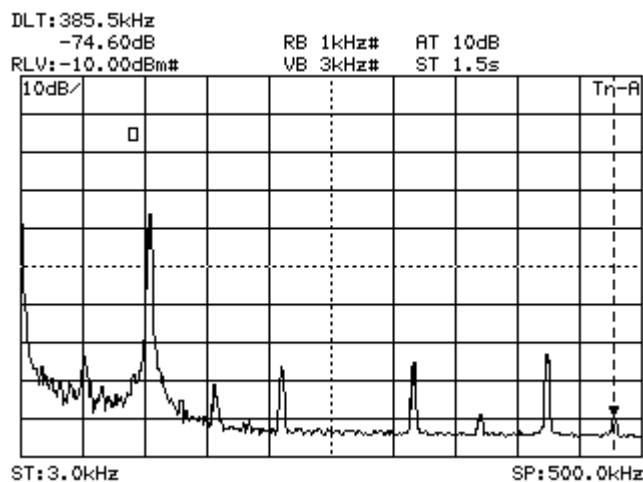


Medida 6.2.5: Espectro de la señal del circuito trabajando como célula de retraso.



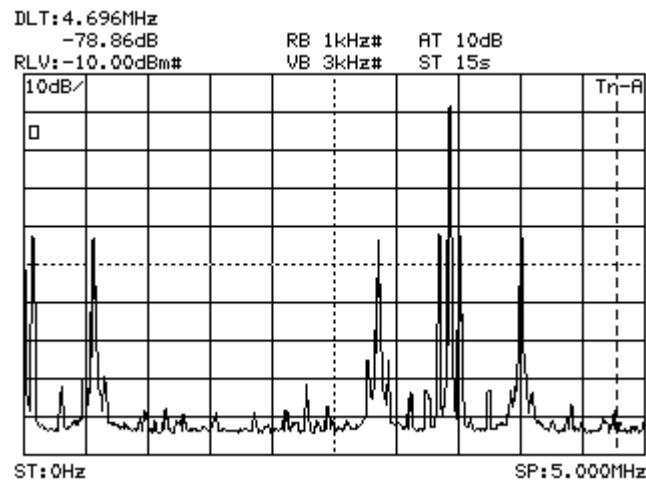
En esta medida se muestra el funcionamiento del circuito en condiciones de funcionamiento normales como célula de retraso, si se compara con la medida 6.1.14 del primer demostrador, se podrá observar como la entrada proporcionada por el DAC introduce una mayor cantidad de distorsión a la señal que la que introducía la señal Sigma-Delta de un único bit.

Medida 6.2.6: Espectro de la señal del circuito trabajando como filtro paso bajo.



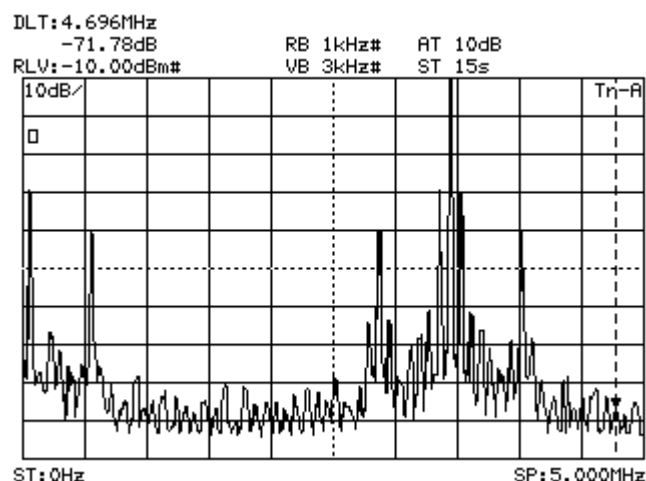
Activando la función de filtrado del circuito puede observarse como la mayor parte del ruido de distorsión ha sido eliminado casi en su totalidad lo cual proporciona unos resultados muy interesantes sobre el correcto funcionamiento del circuito; en cambio los principales armónicos de la señal no han podido ser eliminados como ocurría para el demostrador anterior (Medida 6.1.15), aunque a diferencia de éste, los armónicos tampoco sufren una distorsión que los acentúe, proporcionando en un principio un mejor funcionamiento del circuito en bajas frecuencias.

Medida 6.2.7: Espectro del circuito como célula introduciendo una señal de dos tonos.



Para comprobar su buen funcionamiento a bajas frecuencias se hizo una prueba novedosa con respecto a las realizadas en el primer demostrador, en este caso se introdujo al circuito una señal que tuviera dos tonos a bajas frecuencias, ambos de la misma amplitud para comprobar que al activar el filtro, la amplitud del tono de mayo frecuencia se vería disminuido. Esto es lo que se ve en la imagen tomada para esta medida, dos tonos bastante cercanos en frecuencia los cuales tienen una potencia idéntica.

Medida 6.2.8: Espectro del circuito como filtro introduciendo una señal de dos tonos.

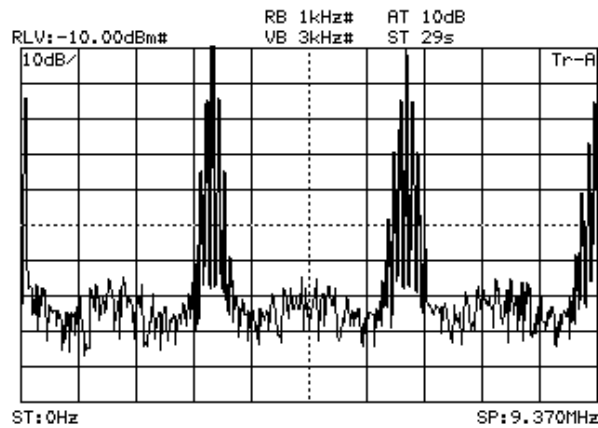


Como cabía esperar para esta medida, el segundo tono es filtrado por el circuito disminuyendo aproximadamente unos 15dB con respecto al tono de más baja frecuencia, demostrando así como el circuito cumple con su cometido funcionando correctamente como paso bajo.



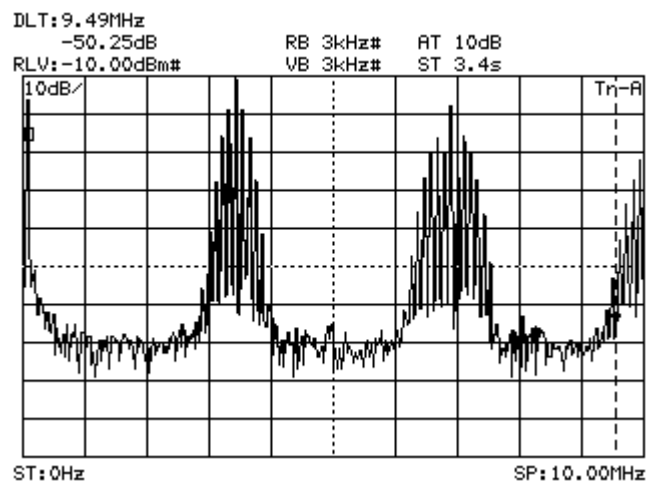
Como se hizo para el primer demostrador, también se realizarán las medidas del circuito para altas frecuencias, comprobando así su funcionamiento.

Medida 6.2.9 Espectro de la señal de salida del circuito trabajando como célula de retraso para altas frecuencias.



Para esta medida puede comprobarse como el ruido tiene una forma similar al ruido de conformado de la medida 6.1.18, el cual deberá filtrarse para una mejora de la calidad de la señal.

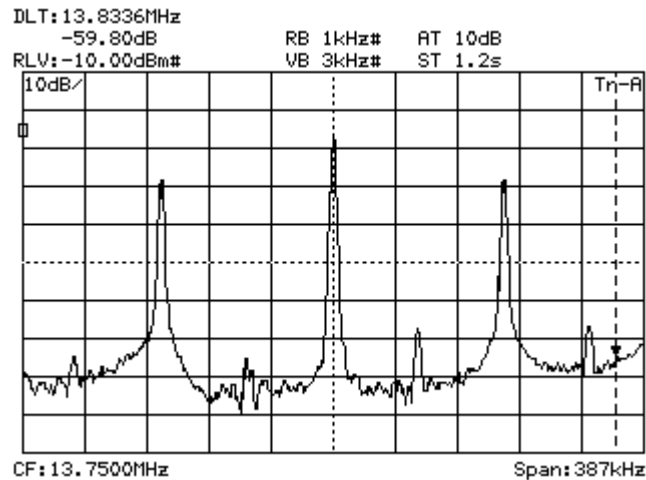
Medida 6.2.10 Espectro de la señal de salida del circuito trabajando como filtro paso bajo para altas frecuencias.



De igual forma que funcionaba para las bajas frecuencias, el filtro continúa funcionando correctamente, filtrando los ruidos a altas frecuencias introducidos por el conversor digital analógico a la hora de crear la señal, demostrando una vez más como el sistema desarrollado es capaz de funcionar correctamente y según lo esperado.

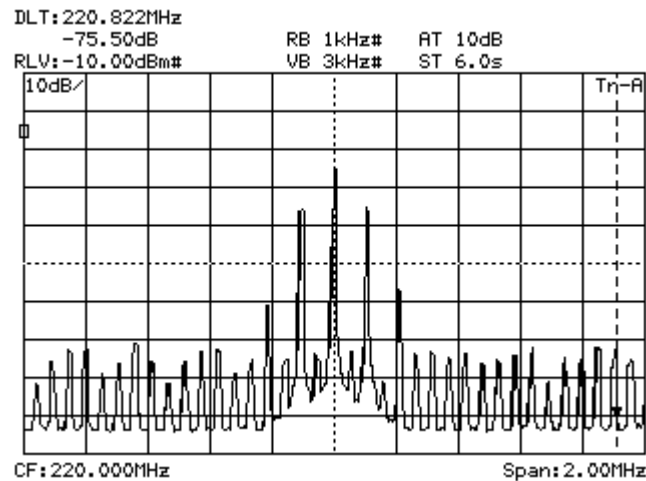


Medida 6.2.11 Espectro de la salida AM del circuito funcionando como célula de retraso.



Como ocurría para el primer demostrador, el circuito es capaz de realizar modulaciones AM. Para la imagen de esta medida puede observarse una modulación AM de baja frecuencia, igual a la que era capaz de proporcionar el primer demostrador.

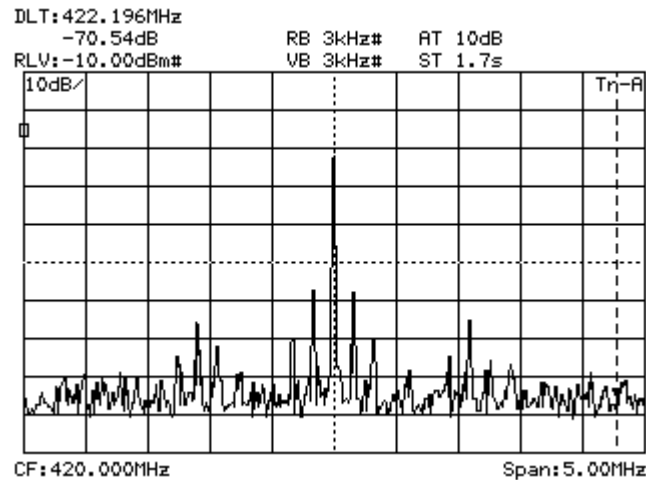
Medida 6.2.12 Espectro de la salida AM del circuito funcionando como filtro paso bajo.



Haciendo funcionar el circuito como filtro, pueden verse resultados similares a los del primer demostrador, en el espectro de salida AM del circuito puede apreciarse una mayor diferencia entre las bandas laterales de la señal AM y el tono central, de forma que este sentido la señal consigue una mejoría, pero como pasaba antes se incrementan los armónicos de la misma debido a una leve distorsión introducida por el filtro.



Medida 6.2.12 Espectro de la salida AM del circuito funcionando como filtro paso bajo con el modulador de alta frecuencia.



Esta medida toma la salida del circuito proporcionada por el circuito multiplicador de alta frecuencia implantado como novedad en el demostrador. Como puede verse se intuye una señal AM como ocurría con el modulador de baja frecuencia, pero no de una buena calidad debido a que como se puede observar, las bandas laterales de la señal están prácticamente al nivel de los armónicos y del ruido de distorsión, por lo tanto, este bloque del sistema sería una parte a mejorar del mismo, para hacerlo funcionar de una manera correcta.

Con estas medidas acaba este apartado del documento, en el cual se ha podido observar como el circuito funcionaba correctamente para prácticamente la totalidad de sus configuraciones, y por lo tanto queda demostrado como las ideas iniciales sobre la creación de un filtro basado en señales PWM son precisas.



7.- Conclusiones.





7.- Conclusiones.

Siendo el principal objetivo del proyecto la creación de un circuito demostrador que consiguiera realizar una serie de tareas de filtrado y modulación, para ver si serían posibles de alcanzar y poder así en un futuro plantear el desarrollo de un chip, las conclusiones sobre el mismo son muy positivas ya que tanto la idea como el comportamiento del circuito era tal y como se esperaba en un primer momento desde las etapas de desarrollo y diseño teórico, el circuito funcionaba tal y como se había ideado en un primer momento.

Lógicamente a la hora de analizar los resultados del circuito hay que tener en cuenta que las frecuencias de funcionamiento de este circuito son menores a las que realmente deberían ser una vez éste fuera implementado en un chip, aunque en un primer momento esto no debería ser ningún problema habría que tenerlo en cuenta siempre a la hora de diseñar el circuito para su implantación, debido a la posible necesidad de introducir algunos cambios que mejoren su funcionalidad. Sin embargo, sin duda estos resultados pueden ser extrapolables a aplicaciones definitivas debido a su buen funcionamiento en cuanto a que los principios principales se realizan sin titubeos ni dudas.

Como es normal en estos casos siempre puede haber mejoras, principalmente como ya se ha comentado durante los apartados anteriores las mejoras deberían ir enfocadas a la corrección de los moduladores AM, principalmente al modulador AM de alta frecuencia puesto que sus medidas mostraron que su funcionamiento no está muy pulido y necesita ciertos toques que lo hagan funcionar correctamente.

Sin embargo, en cuanto a los resultados sobre la fabricación del circuito y su construcción éstos no pueden ser más positivos puesto que la fabricación de la PCB final no pudo ser simulada totalmente debido a la falta de librerías y componentes, obligando a usar componentes genéricos y teniéndola que hacer con un extremo cuidado a la hora de rutar, comprobando una y mil veces las hojas de características para asegurar que los componentes se estaban conectando correctamente, obteniendo durante todo este proceso una gran incertidumbre que aumentaba el nerviosismo hasta que se comprobó cómo el funcionamiento final era correcto.

En definitiva y como reflexión final, principalmente nos podemos quedar con que el objetivo con el que se empezó el proyecto y todo lo que teníamos en mente en cuanto al comportamiento que éste debía tener se cumplió con creces, el circuito funcionó exactamente como debía con unos resultados que muchas veces incluso mejoraban las simulaciones realizadas con OrCAD o Matlab y por lo tanto pudiendo dar cierta vía libre a la realización del circuito con tecnologías de fabricación por chip con la certeza de que su funcionamiento es posible.





8.- Referencias.





8.- Referencias.

Oppenheim, Alan V., Willsky, Alan S. "Señales y Sistemas Segunda Edición"
Editorial Pearson 1998.

T. Johnson, S. P. Stapleton, "RF Class-D Amplification With Bandpass Sigma-Delta Modulator Drive Signals," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 12, pp. 2507–2520, Dec.2006.

G. Nagaraj, S. Miller, B. Stengel, G. Cafaro, T. Gradishar, S. Olson, R. Hekmann, "A Self-Calibrating Sub-Picosecond Resolution Digital-to-Time Converter," *IEEE/MTT-S Int. Microwave Symposium*, Dig. Tech. Papers, pp. 2201–2200, June 2007.

Z. Song, D.V. Sarwate, "The frequency spectrum of pulse width modulated signals", *Signal Processing*, Elsevier, 2003, vol. 83, pp.2227-2258.

Lazar A.A., Toth L.T., "Time encoding and perfect recovery of bandlimited signals", *International Conference on Acoustics, Speech, and Signal Processing*, 2003. *Proceedings (ICASSP '03)*. 2003 IEEE, Volume 6, 6-10 April 2003, Page(s): VI -709-712.

Hernandez, L. Prefasi, E. "Analog-to-Digital Conversion Using Noise Shaping and Time Encoding" *Transactions on Circuits and Systems I: Regular Papers*, Aug. 2008, Volume: 55, Issue: 7, On page(s): 2026-2037

Song, Z., Sarwate, D.V., "The frequency spectrum of pulse width modulated signals", *Signal Processing*, Elsevier, 2003, Volume:83, On page(s): 2227-2258





9.- Presupuesto.





9.-Presupuesto.

Para la elaboración del presupuesto se desglosarán las distintas partidas de los circuitos para obtener sus precios. De esta forma se tendrán los apartados siguientes:

- ❖ Materiales
 - Componentes.
 - Placas.
- ❖ Ingeniería y montaje
- ❖ Gastos varios.

9.1: Materiales:

9.1.1: Componentes.

El precio de los componentes será el ofertado por la empresa distribuidora de componentes electrónicos Amidata, comprando en su mayor medida los componentes que realizaban el pedido mínimo, o en caso de que los superara, aquel pedido que resultara más económico.

Materiales - Componentes					
Nombre	Descripción	Código RS	Cantidad	Precio ud	Precio total
74ACT74	Dos biestables Tipo D Disparado por flanco positivo con preset y clear.	663-1095	10	0,254 €	2,5 €
AD8612	Dos comparadores ultra rápidos con retraso de 4ns.	497-3390	10	5,330 €	53,3 €
74ACT164	Registro de desplazamiento de 8bits con entrada serie y salida paralelo.	662-9890	10	0,672 €	6,7 €
74ACT32	Integrado con 4 puertas OR de 2 entradas cada una.	663-1063	10	0,203 €	2,0 €
74ACT08	Integrado con 4 puertas AND de 2 entradas cada una.	663-1032	10	0,203 €	2,0 €
74ACT04	Integrado con 6 inversores.	663-1029	10	0,203 €	2,0 €
BSS83	Transistor de conmutación MOSFET de canal N	484-5576	10	0,894 €	8,9 €
MC12026A	Preescalador de doble módulo de 1.1GHz	463-921	10	4,340 €	43,4 €
Cap 10nF	Condensador de 10nF de montaje superficial	669-8410	25	0,051 €	1,3 €
Cap 10uF	Condensador de 10uF de montaje superficial	669-8473	25	0,287 €	7,2 €
Cap 1nF	Condensador de 1nF de montaje superficial	669-8420	25	0,061 €	1,5 €
SMA Connector	Conector SMA para PCB	414-1379	15	4,900 €	73,5 €
RPACK 33ohm	Array de resistencias de 33 ohm	691-7462	5	0,85 €	4,3 €
AD8611	Comparador de alta velocidad	497-3716	5	4,730 €	23,7 €



74ACT00	Puertas NAND	671-1523	10	0,422 €	4,2 €
ABA 51563	Circuito Amplificador de RF	610-9052	5	0,660 €	3,3 €
Header 34pins	Conector de 2 filas para 34 pines	670-1813	5	0,832 €	4,2 €
AD9752	Convertor DA de 12 bits	523-8749	3	16,490 €	49,5 €
20kohm pot	Potenciómetro de 20kohm	125-629	15	2,254 €	33,8 €
AD9631	Amplificador operacional	523-7730	3	16,500 €	49,5 €
Kit inductor SMD	Kit inductancias SMD	464-772	1	163,370 €	163,4 €
Total					540,2 €

9.1.2: Placas:

El precio de las placas difiere de los componentes ya que su precio varía según varios factores como serían el número de capas, el número de componentes, el material del que está hecha la placa, si los pads tienen recubrimiento de oro etc. Según estas propiedades, el precio de los circuitos integrados será:

Materiales - Placas				
Nombre	Descripción	Cantidad	Precio ud	Precio total
PlacaV1	Placa de circuito para el demostrador 1	6	70€	420€
PlacaV2	Placa de circuito para el demostrador 2	6	83€	498€
Total				918 €

9.2: Ingeniería y montaje:

La ingeniería comprenderá las horas de trabajo del personal para la realización del proyecto electrónico desarrollado en el documento, utilizando unos valores de €/h similares a los que se podrían encontrar en el mercado para un ingeniero.

INGENIERIA			
Concepto	Horas	Precio (€/h)	Precio total
Diseño	450	42	18.900,0 €
Layout	110	43,57	4.792,7 €
Calidad	50	61,12	3.056,0 €
Montaje	65	35,67	2.318,6 €
Pruebas	120	50,86	6.103,2 €
Total			35.170,5 €



9.3: Gastos varios:

En este apartado se incluirá el concepto de transporte y gasto de envío de los componentes y las placas al puesto de trabajo para su posterior uso y montaje, por lo tanto se tendrá:

GASTOS VARIOS	
Concepto	Precio total
Gastos de envío de componentes	15 €
Gastos de envío de placas	19 €
Total	34 €

9.4: Precio final:

Por lo tanto, una vez se tienen todos los precios de los distintos apartados del presupuesto, el precio final será:

PRECIO FINAL	
Concepto	Precio total
Materiales - Componentes	540,2 €
Materiales - Placas	918,0 €
Ingeniería y montaje	35.170,5 €
Gastos varios	34,0 €
Total	36.662,7 €





10.- Anexos.





10.- Anexos.

10.1.- Script de simulación de la primera placa de circuito.

```
clear all;
close all;
home;

lsim=2^12;

Fclk=2*900e6;
Tclk=1/Fclk;
fc=900.0e6;%Fclk/2;
fs=25e6;
Ts=1/fs;
Nlev=Fclk/fs/2;
delta=1/Nlev;
tau=Ts/2;
Vd=1;

p=0.8;
g=1-p;

OSR=8;
binbw=floor(lsim/(OSR*2));
wt=fs*2*pi/lsim*floor(binbw/4);

fsa=Fclk*8;
Tsa=1/fsa;
[dfa dfb]=butter(4,2*pi*fsa/2,'s');
[bpa bpb]=butter(1,[895e6*2*pi 905e6*2*pi],'s');

R=1;
CB=tau/R;
tauC=tau;
CC=tauC/R;
tauA1=tauC/g;
tauA2=tauC/p;
CA=CB;
R1A=tauA1/CA;
R2A=tauA2/CA;

lvl=0.7*Vd;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%% GENERAMOS LA SEÑAL DE ENTRADA AM %%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

fmod=1e6;
A=0.7;
m=0.9;
```



```
sim('rf_pwm_tei_V2.mdl');
%
% y_pwm_a=y_pwm_a-mean(y_pwm_a);
% y_final=y_final-mean(y_final);

%
%
% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% %%% PINTAMOS LA SEÑAL CUANTIFICADA DEL SD %%%
% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% figure(2)
% clf
% title('Salida del sigma-delta');
% subplot(2,1,1),
% stairs(ysd);
% grid on;
% subplot(2,1,2),
% semilogx(esph(ysd));
% grid on;
%
% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% %%% PINTAMOS LA SALIDA DEL DPWM %%%
% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% figure(3)
% clf
% title('Salida del DPWM');
% subplot(3,1,1)
% plot(y_final);
% grid on;

% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% %%% PINTAMOS LA SALIDA DEL MULTI%%
% %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% figure(4)
% clf
% title('Salida del Multi');
% subplot(2,1,1),
% plot(pa_out);
% hold on;
% grid on;
%
%
% fex=(1:length(y_final))/length(y_final)*fsa;
% fex=fex(1:length(fex)/2);
% subplot(2,1,2),
% plot(fex,esph(y_final));
% hold on;
% grid on;

figure
plot(salida)
figure
fex=(1:length(salida))/length(salida)*fsa;
```



```
fex=fex(1:length(fex)/2);

plot(fex,esph(y_final));

grid on;
fid = fopen('datafile_rawbin.dat','wt');
fprintf(fid, '# delta sigma\n');
for i=1:length(salida)
    fprintf(fid, '0000000000000000%d\n', salida(i));
end
fclose(fid);
```

10.2.- Script para la simulación de la segunda placa.

```
clear all;
close all;
home;

lsim=2^11;

fc=300;
P1=8; %prescaler 1
P2=8; %prescales clock generator
Fclk=fc/P1
fs=Fclk/P2
Tclk=1/Fclk;

Ts=1/fs;
Tphi1=2*Ts/3;
Tphi2=Ts-Tphi1;
tau=Tphi1;
Vd=1;

nbits=16;
nlev=2^nbits;
delta=2/nlev;

% p=0.55;
% g=0.34;

OSR = 8;
p=0.7;
g=1-p;
lvl=0.7;
binbw=floor(lsim/(OSR*2));
binft=binbw;
wt=2*pi*fs/lsim*floor(binft-1);
wta=wt/2/pi*fs;
dither_sigma=lvl*10^(-10/20);

fsa=Fclk*8;
fsa2=fc*4;
Tsa=1/fsa;
```



```
Tsa2=1/fsa2;
[dfa dfb]=butter(4,2*pi*fsa/2,'s');
[bpa1 bpb1]=butter(1,[(fc-fs*2)*2*pi (fc+2*fs)*2*pi],'s');
[bpa2 bpb2]=butter(1,[(Fclk-fs*2)*2*pi (Fclk+2*fs)*2*pi],'s');

R=1;
tauC=tau;
CC=tauC/R;
tauA2=tauC/p;
CA=tau/R;
R2A=tauA2/CA;

sim('NuevaArq_ModeloIdeal_2.mdl');

y_pwm_af=y_pwm_af-mean(y_pwm_af);
y_final_sine=y_final_sine-mean(y_final_sine);
y_final_square=y_final_square-mean(y_final_square);
Vdac=Vdac-mean(Vdac);
y_direct_square=y_direct_square-mean(y_direct_square);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
PINTAMOS LA SEÑAL CUANTIFICADA DEL SD
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure(2)
clf
title('Entrada al filtro');
subplot(2,1,1),
stairs(Vdac);
grid on;
subplot(2,1,2),
semilogx(esph(Vdac));
grid on;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
PINTAMOS LA SALIDA DEL DPWM
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
figure(3)
clf
subplot(2,1,1)
title('Salida de TEF');
grid on;
plot(y_pwm_af);
subplot(2,1,2)
semilogx(esph(y_pwm_af));

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
PINTAMOS LA SALIDA DEL MULTIPLEX
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

figure(1)
fex=(1:length(y_final_square))/length(y_final_square)*fsa;
fex=fex(1:length(fex)/2);
```



```
grid on;
plot(fex,esph(y_direct_square));
hold
plot(fex,esph(y_final_square), 'g');
legend('sin TEF', 'con TEF');

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%% PINTAMOS LA SALIDA DEL MULTI%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

figure(4)
fex=(1:length(y_final_sine))/length(y_final_sine)*fsa2;
fex=fex(1:length(fex)/2);
grid on;
plot(fex,esph(y_final_sine));
```

10.3.- Script para generar una señal Sigma-Delta de 1 bit (Orden 1).

```
clear all;
lsim=2^16;

offset=0;
amplitud=sqrt(5)/pi;
wt=pi/256;

p=0.5314;
g=0.3458;

x=offset+amplitud*sin(wt*(0:(lsim-1)));
dither=randn(1,lsim)*10^(-10/20)*amplitud;
u1=zeros(1,lsim);
y=zeros(1,lsim);
yf=zeros(1,lsim);

for i=2:lsim,
    u1(i)=u1(i-1)+x(i-1)-y(i-1);
    y(i)=sign(u1(i)+dither(i)+eps);
    yf(i)=g*y(i-1)+p*yf(i-1);
end;

salida=(y==1);

figure(1)
clf
semilogx(esph(salida));
grid

figure(2)
clf
subplot(211)
plot(esph(yf));
grid
subplot(212)
```



```
plot(esph(y'),'g');  
grid
```

```
fid = fopen('H:\Documents and Settings\UC3M-TE\Mis  
documentos\Scripts placaV2\sigma_delta_rawbin.dat','wt');  
fprintf(fid, '# delta sigma\n');  
for i=1:length(salida)  
    fprintf(fid, '0000000000000000%d%d%d%d\n', salida(i),  
salida(i),salida(i),salida(i));  
end  
fclose(fid);
```

10.4.- Script para generar una señal Sigma-Delta de 1 bit (Orden 2).

```
clear all;  
lsim=2^13;  
  
offset=0;  
amplitud=sqrt(6)/pi;  
wt=pi/128;  
  
g=0.24  
p=0.85;  
  
delta_gain=20*log10(g/(g/(1-p)))  
freqz([0 g],[1 -p])  
  
x=offset+amplitud*sin(wt*(0:(lsim-1)));  
dither=randn(1,lsim)*10^(-10/20)*amplitud;  
u1=zeros(1,lsim);  
u2=zeros(1,lsim);  
y=zeros(1,lsim);  
yf=zeros(1,lsim);  
  
for i=2:lsim,  
    u2(i)=u2(i-1)+u1(i-1)-y(i-1);  
    y(i)=sign(u2(i)+dither(i)+eps);  
    u1(i)=u1(i-1)+x(i)-y(i);  
    yf(i)=g*y(i-1)+p*yf(i-1);  
end;  
  
salida=(y==1);  
  
figure(2)  
clf  
semilogx(esph(salida'));  
grid  
  
figure(3)  
clf  
subplot(211)
```



```
plot(esph(yf'));  
grid  
subplot(212)  
plot(esph(y'),'g');  
grid
```



```
fid = fopen('C:\Archivos de programa\Byte  
Paradigm\8PIControlPanel\examples\ADWG\sigma_delta_rawbin.dat','  
wt');  
fprintf(fid, '# delta sigma\n');  
for i=1:length(salida)  
    fprintf(fid, '000000000000%d%d%d%\n', salida(i),  
salida(i),salida(i),salida(i));  
end  
fclose(fid);
```

10.5.- Script para generar el seno para el segundo demostrador.

```
clear all;
close all;
home;

lsim=2^11;
Vdd=1;
fs=1
Ts=1/fs;
Vfinal=0.6*Vdd;
tau=-1/(log(1-Vfinal/Vdd)/Ts)
pulsemin=0.25*Ts;
Vpulsemin=Vdd*(1-exp(-pulsemin/tau));
nbits=12;
nlev=2^nbits;
delta=Vdd/nlev;

lvl=(Vdd-Vpulsemin)/2;
binbw=floor(lsim/(2));
binft=binbw/16;
wt=2*pi*fs/lsim*floor(binft-1);
Voffset=-0.11

% filtro de medida
[a b]=butter(8,2*pi*fs*8,'s');

sim('Seq_gen.mdl');
plot(Vdac);
y = dec2bin(Vdac(2:length(Vdac)),12);

fid = fopen('C:\Archivos de programa\Byte
Paradigm\8PIControlPanel\examples\ADWG\sigma_delta_rawbin.dat','
wt');
fprintf(fid, '# seno para el DAC\n');
```




```
for i=1:length(y)

% if (y(i,1)=='0')
%     fprintf(fid, '0000%s\n', y(i,:));
% else
%     fprintf(fid, '1111%s\n', y(i,:))
% end;
    fprintf(fid, '0000%s\n', y(i,:));
end

fclose(fid);

figure(2)
clf
plot(esph(pwm_medida));
hold
plot(esph(pwm_deseada),'r');
grid
```

10.6.- Script para la generar dos senos para el segundo demostrador.

```
clear all;
close all;
home;

lsim=2^11;
Vdd=1;
fs=1
Ts=1/fs;
Vfinal=0.6*Vdd;
tau=-1/(log(1-Vfinal/Vdd)/Ts)
pulsemin=0.25*Ts;
Vpulsemin=Vdd*(1-exp(-pulsemin/tau));
nbits=12;
nlev=2^nbits;
delta=Vdd/nlev;

lv11=(Vdd-Vpulsemin)/4;
lv12=lv11;
binbw=floor(lsim/(2));
binft1=binbw/20;
binft2=binbw/3;
wt1=2*pi*fs/lsim*floor(binft1-1);
wt2=2*pi*fs/lsim*floor(binft2-1);
Voffset=-0.11

% filtro de medida
[a b]=butter(8,2*pi*fs*8,'s');

sim('Seq_gen_two_tones.mdl');
plot(Vdac);
y = dec2bin(Vdac(2:length(Vdac)),12);
```



```
fid = fopen('C:\Archivos de programa\Byte
Paradigm\8PIControlPanel\examples\ADWG\sigma_delta_rawbin.dat','
wt');
fprintf(fid, '# seno para el DAC\n');

for i=1:length(y)

% if (y(i,1)=='0')
%     fprintf(fid, '0000%s\n', y(i,:));
% else
%     fprintf(fid, '1111%s\n', y(i,:))
% end;
    fprintf(fid, '0000%s\n', y(i,:));
end

fclose(fid);

figure(2)
clf
plot(esph(pwm_medida));
hold
plot(esph(pwm_deseada),'r');
grid
```